VILNIAUS GEDIMINO TECHNIKOS UNIVERSITETAS

Leonid KLADOVŠČIKOV

**BEL Aidžio ryšio siųstuvų-IMtuvų
filtrų savitESTavimo ir
AUTOKALIBRAVIMO METODŲ SUKŪRIMAS
IR TYRIMAS**

DAKTARO DISERTACIJA

TECHNOLOGIJOS MOKSLAI,
ELEKTROS IR ELEKTRONIKOS INŽINERIJA (T 001)

Vilnius, 2020

Disertacija rengta 2016–2020 metais Vilniaus Gedimino technikos universitete.

Vadovas

prof. habil. dr. Romualdas NAVICKAS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – T 001).

Vilniaus Gedimino technikos universiteto elektros ir elektronikos inžinerijos mokslo krypties disertacijos gynimo taryba:

Pirmininkas

prof. dr. Dalius NAVAKAUSKAS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – T 001).

Nariai:

prof. dr. Šarūnas PAULIKAS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – T 001),

prof. dr. Bernardo TELLINI (Pizos universitetas, Italija, elektros ir elektronikos inžinerija – T 001),

prof. dr. Vytautas URBANAVIČIUS (Vilniaus Gedimino technikos universitetas, elektros ir elektronikos inžinerija – T 001),

prof. dr. Algimantas VALINEVIČIUS (Kauno technologijos universitetas, elektronikos inžinerija – T 001).

Disertacija bus ginama viešame Elektros ir elektronikos inžinerijos mokslo krypties disertacijos gynimo tarybos posėdyje **2020 m. gruodžio 17 d. 10 val.** Vilniaus Gedimino technikos universiteto senato posėdžių salėje.

Adresas: Saulėtekio al. 11, LT-10223 Vilnius, Lietuva.

Tel.: (8 5) 274 4956; faksas (8 5) 270 0112; el. paštas doktor@vgtu.lt

Pranešimai apie numatomą ginti disertaciją išsiųsti 2020 m. lapkričio 16 d.

Disertaciją galima peržiūrėti Vilniaus Gedimino technikos universiteto talpykloje <http://dspace.vgtu.lt> ir Vilniaus Gedimino technikos universiteto bibliotekoje (Saulėtekio al. 14, LT-10223 Vilnius, Lietuva) bei Lietuvos mokslų akademijos Vrublevskių bibliotekoje (Žygimantų g. 1, LT-01102 Vilnius, Lietuva).

Vilniaus Gedimino technikos universiteto 2020-041-M mokslo literatūros knyga

doi:10.20334/2020-041-M

© Vilniaus Gedimino technikos universitetas, 2020

© Leonid Kladovščikov, 2020

leonid.kladovscikov@vgtu.lt

VILNIUS GEDIMINAS TECHNICAL UNIVERSITY

Leonid KLADOVŠČIKOV

**DEVELOPMENT AND INVESTIGATION OF
SELF-TESTING AND SELF-CALIBRATION
METHODS FOR WIRELESS
TRANSCEIVERS FILTERS**

DOCTORAL DISSERTATION

TECHNOLOGICAL SCIENCES,
ELECTRICAL AND ELECTRONIC ENGINEERING (T 001)

Vilnius, 2020

Doctoral dissertation was prepared at Vilnius Gediminas Technical University in 2016–2020.

Supervisor

Prof. Dr Habil. Romualdas NAVICKAS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – T 001).

The Dissertation Defence Council of Scientific Field of Electrical and Electronic Engineering of Vilnius Gediminas Technical University:

Chairman

Prof. Dr Dalius NAVAKAUSKAS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – T 001).

Members:

Prof. Dr Šarūnas PAULIKAS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – T 001),

Prof. Dr Bernardo TELLINI (University of Pisa, Italy, Electrical and Electronic Engineering – T 001),

Prof. Dr Vytautas URBANAČIUS (Vilnius Gediminas Technical University, Electrical and Electronic Engineering – T 001),

Prof. Dr Algimantas VALINEVIČIUS (Kaunas University of Technology, Electrical and Electronic Engineering – T 001).

The dissertation will be defended at the public meeting of the Dissertation Defence Council of Electrical and Electronic Engineering in the Senate Hall of Vilnius Gediminas Technical University at **10 a. m. on 17 December 2020**.

Address: Saulėtekio al. 11, LT-10223 Vilnius, Lithuania.

Tel.: +370 5 274 4956; fax +370 5 270 0112; e-mail: doktor@vgtu.lt

A notification on the intend defending of the dissertation was send on 16 November 2020.

A copy of the doctoral dissertation is available for review at Vilnius Gediminas Technical University repository <http://dspace.vgtu.lt>, at the Library of Vilnius Gediminas Technical University (Saulėtekio al. 14, LT-10223 Vilnius, Lithuania) and the Wroblewski Library of the Lithuanian Academy of Sciences (Žygimantų st. 1, LT-01102, Vilnius, Lithuania).

Reziumė

Darbe nagrinėjamos integrinių analoginių filtrų savitestavimo ir savaiminio derinimosi sistemos, modeliai bei jų projektavimo būdai, kurie pritaikomi integrinių grandynų gamybos technologijose. Iškeliama ir įrodoma hipotezė, kad tinkamų savitestavimo ir savaiminio derinimosi sistemų parinkimas įgalina ištestuoti ir suderinti integrinius filtrus reikiamu tikslumu naudojant $0,18\ \mu\text{m}$ KMOP integrinių grandynų technologiją. Darbo tikslas – sukurti integrinių filtrų savitestavimo ir savaiminio derinimosi sistemas, leidžiančias aptikti kritines ir parametrines klaidas bei suderinti pagamintus grandynus reikiamu tikslumu. Darbe išspręsti uždaviniai: ištirtos belaidžio ryšio siųstuvų-imtuvų blokų savitestavimo ir savaiminio derinimosi sistemos, pasiūlytas naujas integrinių analoginių rezistorių kondensatorių (RC) filtrų derinimo matricių projektavimo būdas, sukurta ir ištirta integrinių RC filtrų savaiminio derinimosi sistema ir ją sudarantys blokai.

Disertaciją sudaro įvadas, keturi skyriai, bendrosios išvados, naudotos literatūros ir autoriaus publikacijų disertacijos tema sąrašai ir trys priedai.

Įvadiniamе skyriuje aptariama tiriamoji problema, darbo aktualumas, aprašomas tyrimų objektas, formuluojamas darbo tikslas bei uždaviniai, aprašoma tyrimų metodika, darbo mokslinis naujumas, darbo rezultatų praktinė reikšmė, ginamieji teiginiai bei disertacijos struktūra.

Pirmame skyriuje apžvelgiamos belaidžio ryšio siųstuvų-imtuvų blokų savitestavimo ir savaiminio derinimosi sistemų struktūros, analizuojami skaitmeniniai ir analoginiai blokai. Skyriaus pabaigoje, remiantis atlikta analize, suformuluojami disertacijos uždaviniai.

Antrajame skyriuje apžvelgiamos analoginių RC filtrų struktūros, jų parametrai, paklaidų šaltiniai, aprašomi integrinių analoginių RC filtrų savitestavimo ir savaiminio derinimosi sistemų modeliai ir veikimo algoritmai.

Trečiajame skyriuje, pasinaudojus sukurtu projektavimo būdu, projektuojama integrinių analoginių RC filtrų savitestavimo sistema, naudojant kompiuterinių skaičiavimo metodą atliekamas suprojektuotos sistemos klaidų nustatymo tikslumo ir panaudojimo skirtingose filtrų struktūrose tyrimas.

Ketvirtame skyriuje suprojektuojama integrinių analoginių RC filtrų savaiminio derinimosi sistema, naudojant kompiuterinių skaičiavimo metodą atliekamas suprojektuotos sistemos filtro parametrų derinimo tikslumo tyrimas.

Disertacijos tema yra atspausdinti 9 moksliniai straipsniai: trys – mokslo žurnaluose, įtrauktuose į Clarivate Analytics Web of Science duomenų bazę, 4 – tarptautinių konferencijų medžiagoje, įtrauktoje į Clarivate Analytics Proceedings duomenų bazę, 2 – mokslo žurnaluose, referuojamuose kitose tarptautinėse duomenų bazėse. Disertacijoje atliktų tyrimų rezultatai buvo pristatyti aštuoniose mokslinėse konferencijose Lietuvoje ir užsienyje.

Abstract

The dissertation deals with self-testing and self-tuning systems, models of integrated analog filters and their design methods, which are applied in sub-micron integrated circuit manufacturing technologies. It is hypothesized that the selection of suitable self-testing and self-tuning systems enables the testing and matching of integrated filters with the required accuracy using 0.18 μm CMOS integrated circuit technology. The aim of the work is to create self-testing and self-tuning systems for integrated filters, which allow to detect catastrophic and parametric errors and to match the manufactured circuits with the required accuracy. The following tasks were solved in the work: self-testing and self-tuning systems of wireless transceiver units were investigated, block models of the proposed integrated analog RC filter self-testing system were developed and researched, a method of designing tuning matrices of integrated RC filters is proposed, the system of self-tuning of integrated RC filters and its blocks is developed and researched.

The dissertation consists of an introduction, four chapters, general conclusions, lists of used literature and the author's publications on the topic of the dissertation, and three appendices.

The introduction reveals the investigated problem, importance of the thesis and the object of research and describes the purpose and tasks of the work, research methodology, scientific novelty, the practical significance of results examined in the dissertation, defended statements and the structure of the dissertation.

Chapter 1 reviews the methods and systems of both analog and digital self-testing and self-tuning of wireless transceiver units. At the end of the chapter, based on the review and analysis, the tasks of the dissertation are formulated.

Chapter 2 reviews the structures of analog RC filters, their parameters, describes the design methods and operating algorithms of integrated analog RC filter self-identification and self-tuning systems.

Chapter 3 presents the design of the self-testing system of integrated analog RC filters and using a computer calculation method, the accuracy of the designed system error detection and application in different filter structures is investigated.

Chapter 4 presents the design of self-tuning system for integrated analog RC filters, using the computer calculation method, the accuracy of filter alignment of the designed system is investigated.

9 scientific articles were published on the topic of the dissertation: 3 – in scientific journals included in the Clarivate Analytics Web of Science database, 4 – in the materials of international conferences included in the Clarivate Analytics Proceedings database, 2 – in scientific journals referenced in other international databases. The results of the research carried out in the dissertation were presented in 8 scientific conferences in Lithuania and abroad.

Žymėjimai

Simboliai

A – signalo stiprinimas

$C_N(j\omega)$ – charakteringoji funkcija

d_{atr} – atraminis testavimo etapo signalas

$d_{\text{kr.klaida}}$ – kritinės klaidos nustatymo signalas

$d_{\text{par.klaida}}$ – parametrinės klaidos nustatymo signalas

d_{start} – testavimo pradžios valdymo signalas

f_{atr} – atraminio signalo dažnis

f_{max} – didžiausias funkcinio bloko generuojamas dažnis

f_{osc} – signalų generavimo dažnis

$f_{\text{osc_c}}$ – tipinis generuojamas dažnis

$f_{\text{osc_max}}$ – didžiausias generuojamas dažnis

$f_{\text{osc_min}}$ – mažiausias generuojamas dažnis

$H_{\text{filtro}}(s)$ – žemųjų dažnių filtro perdavimo funkcija

$H_{\text{g.r.}}(s)$ – grįžtamojo ryšio grandinės perdavimo funkcija

$H_{\cdot}(s)$, $H_{\text{AM}}(s)$, $H_{\text{TT}}(s)$ – ŽDF perdavimo funkcija struktūrai: SK – Sallen-Key; AM – A-kerberg-Mossberg; TT – Tow-Thomas

k_n – NMOP tranzistoriaus pereigos laidis
 k_p – PMOP tranzistoriaus pereigos laidis
 L – tranzistoriaus kanalo ilgis
 M – lygiagrečių tranzistorių skaičius
 n_0 – žemiausioji perjungiamųjų rezistorių matricos skiltis
 $p_{ap.}$ – apatinė testavimo rezultato riba
 p_{atr} – atraminio signalo generuojamų signalų skaičius
 $P_{atvaizdas}$ – veidrodinio kanalo signalo galia
 p_{cnt} – vidutinis testavimo signalų skaičius
 P_{RF} – aukštadažnio signalo galia
 $p_{virš.}$ – viršutinė testavimo rezultato riba
 Q_p – funkcinio bloko polius
 R_0 – žemiausios skilties varža
 R_{ekv} – ekvivalentinė grandinės varža tranzistoriaus tiesinėje srityje
 $R_{fiks.}$ – fiksuoto rezistoriaus varža
 R_{Lfiks} – lygiagrečiai sujungto rezistoriaus varža
 R_{MOP} – tranzistoriaus kanalo varža
 R_{RC} – projektuojamo žemųjų dažnių filtro varža
 s – kompleksinis dažnis
 t_{test} – bendras testavimo laikas
 t_{test_TG} – funkcinio bloko testavimo laikas
 u – varžos nustatymo neapibrėžtis
 U_{SI} – įtampa tarp santakos-ištakos kontaktų
 U_{slp} – NMOP tranzistoriaus slenkstinė įtampa
 U_{Tsln} – NMOP tranzistoriaus slenkstinė įtampa
 U_{UI} – įtampa tarp užtūros-ištakos kontaktų
 V_{DD} – maitinimo įtampa
 W – tranzistoriaus kanalo plotis
 w_0 – ribinis dažnis
 W_{NMOP} – NMOP tranzistoriaus plotis
 w_p – funkcinio bloko poliaus dažnis
 W_{PMOP} – PMOP tranzistoriaus plotis
 α – rezistoriaus varžos temperatūrinis koeficientas
 δ – standartinis nuokrypis
 ΔA – žemųjų dažnių filtro stiprinimo variacija
 δ_{A0} – praleidžiamųjų dažnių juostos netolygumas

ΔC – kondensatoriaus talpos paklaida
 δ_f – ribinio dažnio derinimo žingsnis
 Δf – generuojamų dažnių paklaida
 Δf_c – žemųjų dažnių filtro ribinio dažnio variacija
 $\Delta f_{osc} / f_{osc}$ – generuojamo signalo dažnio variacija
 Δf_{osc} – generuojamo dažnio variacija
 Δg – stiprinimo derinimo riba
 δ_g – stiprinimo derinimo žingsnis
 ΔR – rezistoriaus varžos paklaida
 $\Delta \delta_g$ – PDJ stiprinimo paklaida
 $\Delta \phi$ – fazės paklaida
 $\Delta \omega$ – dažnio derinimo diapazonas
 ε – praleidžiamųjų dažnių juostos amplitudės pokyčio konstanta
 ϑ – parametro derinimo žingsnis
 μ_n – NMOP tranzistoriaus krūvininkų judris
 τ_g – grupinis vėlinimas

Santrumpos

ADF – aukštųjų dažnių filtras
 AEAM – antros eilės abipusės moduliacijos parametras
 AETT – antros eilės tiesiškumo taškas
 ASK – analoginis-skaitmeninis keitiklis
 DACH – dažninė amplitudinė charakteristika
 DDJ – draudžiamųjų dažnių juosta
 DDJF – draudžiamų dažnių juostos filtras
 DG – dažnių generatorius
 DSI – daugiastandartinis siųstuvas-imtuvas
 IG – integrinis grandynas
 KGS – kintamos galios stiprintuvas
 KMOP – komplementarus metalas oksidas puslaidininkis
 KVA – klaidos vektoriaus amplitudė
 LPRM – lygiagrečiai sujungtų perjungiamų rezistorių matrica
 MKN – minimalaus kvadratinis nuokrypis
 MOP – metalas-oksidas-puslaidininkis
 MTS – mažatriūkšmis stiprintuvas

OS – operacinis stiprintuvas
PDJ – praleidžiamų dažnių juosta
PDJF – praleidžiamų dažnių juostos filtras
PRJ – perėjimo juosta
RC – grandynas iš rezistorių kondensatorių
SAK – skaitmeninis-analoginis keitiklis
SSA – skaitmeninių signalų apdorojimo įtaisas
STS – signalo ir triukšmo santykis
TP – technologinė platforma
VKSMF – veidrodinio kanalo signalo malšinimo faktorius
VPF – viską praleidžiantis filtras
ŽDF – žemųjų dažnių filtras

Turinys

IVADAS	1
Problemos formulavimas.....	1
Darbo aktualumas.....	2
Tyrimų objektas	3
Darbo tikslas.....	3
Darbo uždaviniai	3
Tyrimų metodika	3
Darbo mokslinis naujumas	4
Darbo rezultatų praktinė reikšmė	4
Ginamieji teiginiai	5
Darbo rezultatų aprobavimas.....	5
Disertacijos struktūra.....	6
Padėka	6
1. SIŪSTUVŲ-IMTUVŲ SAVITESTAVIMO IR SAVAIMINIO DERINIMOSI SISTEMŲ ANALIZĖ	7
1.1. Savitestavimo ir savaiminio derinimo sistemų paskirtis šiuolaikiniuose integriniuose lustuose	7
1.2. Siūstuvų-imtuvų savitestavimas ir savaiminis derinimas	10
1.3. Savitestavimo būdai ir sistemos	11
1.4. Savaiminio derinimosi būdai ir sistemos.....	17
1.4.1 Nuolatinės dedamosios poslinkis.....	19
1.4.2. Kvadratūrinių kanalų amplitudės ir fazės poslinkis.....	21

1.4.3. Antros eilės tiesiškumo taškas.....	23
1.4.4. Žemųjų dažnių filtro ribinis dažnis ir stiprinimas.....	25
1.4.5. Kintamos galios stiprintuvų stiprinimas	26
1.5. Pirmojo skyriaus išvados ir disertacijos uždavinių formulavimas.....	28
2. INTEGRINIŲ ANALOGINIŲ FILTRŲ SAVITESTAVIMO IR SAVAIMINIO DERINIMOSI SISTEMŲ MODELIAI.....	29
2.1. Integrinių filtrų struktūrų analizė.....	30
2.2. Integrinių filtrų savitestavimo sistemos projektavimo metodika.....	35
2.3. Integrinių filtrų savaiminio derinimosi sistemos projektavimo metodika	41
2.4. Antrojo skyriaus išvados	45
3. SIŪSTUVŲ-IMTUVŲ INTEGRINIŲ FILTRŲ SAVITESTAVIMO SISTEMOS KŪRIMAS IR TYRIMAS	47
3.1. Integrinių filtrų savitestavimo sistemos blokų kūrimas.....	47
3.2. Integrinių filtrų savitestavimo sistemos blokų tyrimas.....	51
3.3. Trečiojo skyriaus išvados	67
4. SIŪSTUVŲ-IMTUVŲ INTEGRINIŲ FILTRŲ SAVAIMINIO DERINIMOSI SISTEMOS KŪRIMAS IR TYRIMAS	69
4.1. Integrinių filtrų savaiminio derinimo sistemos blokų kūrimas	70
4.2. Perjungiamų rezistorių matricos projektavimas	72
4.3. Perjungiamų rezistorių matricos tyrimas.....	77
4.4. Integrinių filtrų savaiminio derinimo sistemos tyrimas.....	82
4.5. Ketvirtojo skyriaus išvados	87
BENDROSIOS IŠVADOS	89
LITERATŪRA IR ŠALTINIAI.....	91
AUTORIAUS MOKSLINIŲ PUBLIKACIJŲ DISERTACIJOS TEMA SĄRAŠAS.....	103
SUMMARY IN ENGLISH.....	105
PRIEDAI¹	121
A priedas. Disertacijos autoriaus sąžiningumo deklaracija	122
B priedas. Bendraautorių sutikimai teikti publikacijose skelbtą medžiagą daktaro disertacijoje.....	123
C priedas. Autoriaus mokslinių publikacijų disertacijos tema kopijos.....	130

¹ Priedai pateikiami pridėtoje kompaktinėje plokštelėje.

Contents

INTRODUCTION	1
Problem Formulation.....	1
Relevance of the Thesis.....	2
The Object of the Research	3
The Aim of the Thesis	3
The Task of the Thesis	3
Research Methodology.....	3
Scientific Novelty of the Thesis	4
Practical Value of the Research Findings.....	4
The Defended Statements.....	5
Approval of the Research Findings	5
Structure of the Dissertation.....	6
Acknowledgements	6
1. ANALYSIS OF SELF-TESTING AND SELF-TUNING SYSTEMS OF WIRELESS TRANSCEIVERS.....	7
1.1. Purpose of Self-testing and Self-tuning Systems in Modern Wireless Transceivers.....	7
1.2. Testing and Tuning of Wireless Transceivers	10
1.3. Self-testing Methods and Systems.....	11
1.4. Self-tuning Methods and Systems	17

1.4.1. Direct Current Offset Tuning	19
1.4.2. Amplitude and Phase Imbalance in Quadrature Channels Tuning	21
1.4.3. Second Order Input Intercept Point Tuning.....	23
1.4.4. Low Pass Filter Cut-off Frequency and Gain Tuning.....	25
1.4.5. Variable Gain Amplifier Tuning	26
1.5. Conclusions of the 1st Chapter and Formulation of the Thesis Objectives	28
2. MODELS OF SELF-TESTING AND SELF-TUNING SYSTEMS FOR INTEGRATED ANALOG FILTERS	29
2.1. Analysis of Integrated Filters Structures	30
2.2. Design Methodology of Self-testing Systems for Integrated Filters	35
2.3. Design Methodology of Self-tuning Systems for Integrated Filter	41
2.4. Conclusions of 2nd Chapter	45
3. DESIGN AND INVESTIGATION OF SELF-TESTING SYSTEM FOR INTEGRATED FILTERS	47
3.1. Design of Main Blocks of Self-testing System for Integrated Filters.....	47
3.2. Investigation of Performance of Self-testing System for Integrated Filters	51
3.3. Conclusions of 3rd Chapter	67
4. DESIGN AND INVESTIGATION OF SELF-TUNING SYSTEM FOR INTEGRATED FILTERS	69
4.1. Design of Main Blocks of Self-tuning System for Integrated Filters	70
4.2. Design of Digitally Controllable Resistor Matrix	72
4.3. Investigation of Performance of Digitally Controllable Resistor Matrix	77
4.4. Investigation of Self-tuning System for Integrated Filters	82
4.5. Conclusions of 4th Chapter	87
GENERAL CONCLUSIONS	89
REFERENCES	91
LIST OF SCIENTIFIC PUBLICATIONS BY THE AUTHOR ON THE TOPIC OF THE DISSERTATION	103
SUMMARY IN ENGLISH.....	105
ANNEXES ²	121
Annex A. Author's Declaration of Dissertation Work Integrity	122
Annex B. Co-authors' Agreements to Present Publications Material in the Doctoral Dissertation.....	123
Annex C. Copies of Scientific Publications by the Author on the Topic of the Dissertation	130

² The annexes are supplied in the enclosed compact disc.

Įvadas

Problemos formulavimas

Pastaruoju metu sparčiai tobulėjant KMOP integrinių grandynų gamybos technologijoms vis daugiau sistemų integruojama viename luste. Didėjant lusto integracijos laipsniui, jo plotui ir jį sudarančių sistemų skaičiui, dėl gamybos technologijų netolydumų didėja tikimybė pagaminti sistemas su neleistiniais parametru nuokrypiais ir/ arba kritiniais defektais, kai yra nutraukiamos arba užtrumpinamos grandinės.

Pagamintų integrinių lustų testavimas padidina bendrą naujų sistemų diegimo laiką – norint ištestuoti lustą parenkamas optimalus grandyno taškų ir bandymų skaičius, kuris neretai siekia šimtus ir tūkstančius. Didelių integrinių sistemų testavimas, kaip taisyklė, atliekamas naudojant automatizuotus testavimo įrenginius, tačiau naudojant juos, testavimo trukmė gali siekti nuo dešimčių minučių iki kelių valandų. Serijinėje arba masinėje gamyboje tai žymiai padidina laiko ir finansines sąnaudas.

Viena iš alternatyvų didinti gerų lustų, sistemų, išeigą – papildomai suderinti lusto sistemų parametrus iki reikalaujamo tikslumo, juos pagaminus. Integrinių lustų grandynuose turi būti numatyta galimybė keisti jų elementų vertes, o taip pat turėti reikalingą papildomą aparatinę įrangą elementų verčių keitimui. Papildomai

testuojant arba derinant integrinius grandynus, tokios įrangos išlaikymas arba nuoma didina bendrą lusto kainą, o tai didina integrinių lustų gamybos sąnaudas.

Dėl šios priežasties disertacijoje nagrinėjama problema yra daugiastandarčių siųstuvus-imtuvus (DSI) sudarančių blokų parametrų testavimas ir savaiminis derinimasis reikalaujama tikslumu, integruojant savitestavimo ir savaiminio derinimosi sistemas į integrinį lustą bei naujų projektavimo metodikų sukūrimas tokiems įtaisams. Iš problemos iškeliami ir hipotezė, teigianti, kad integruojant savitestavimo ir savaiminio derinimosi grandynus į vieną lustą, galima ištestuoti DSI parametrų atitikimą keliamiems reikalavimams, bei suderinti juos iki reikiamų verčių, jei pagaminto lusto parametrai neatitinka keliamų reikalavimų.

Darbo aktualumas

Didėjantis mobiliųjų įtaisų skaičius bei jų įvairovė (telefonai, nešiojami ir planšetiniai kompiuteriai, ir kt.), jų pritaikymas apima daugelį visuomenės poreikių ir yra Europos Nanoelektronikos ENIAC, Įterptinių intelektualųjų sistemų ARTEMIS ir Išmaniųjų sistemų integracijos EPoSS technologinių platformų (TP) programų prioritetu, o taip pat yra ir Lietuvos Elektronikos ir nanoelektronikos asociacijos TP proveržio kryptyje. Taip pat tai yra ir VGTU Elektronikos fakulteto Mikro ir nanoelektroninių sistemų projektavimo ir tyrimo laboratorijos prioritetas.

Kartu su naujų belaidžio ryšio technologijų 5G vystymu išlieka esamos aparatūros ir ankstesnių technologijų, pradedant nuo pirmosios kartos belaidžio ryšio (1G) iki ketvirtosios kartos (4G), kartu ir lokalių belaidžio ryšio tinklų, tokių kaip WiMAX, Wi-Fi (802.11n, 802.11ac, ateities 802.11ax)), palaikymo poreikis.

Šiuo metu sukurti savitestavimo grandynai yra pritaikomi aukščiausiam, diskrečių komponentų, lygmenyje (Arabi, 1999), arba integruojamame luste. Integrinių analoginių įtaisų savitestavimo sistemos yra skirtos kritinių klaidų aptikimui (Arbet, 2015) ir naudoja vieną iš tikrinamo grandyno komponentą kaip atraminio signalo valdymo elementą. Be to norint padidinti integrinių lustų gamybos išėigą, projektuojamos ir tobulinamos šiuos lustus sudarančių blokų savaiminio derinimosi sistemos, kurios leidžia pritaikyti jau pagamintą integrinį lustą prie naudojamo belaidžio ryšio technologijų reikalavimų. Sukurti savaiminio derinimo grandynai naudoja nuosekliai sujungtas derinimo matricas (Oshima 2004), nenuoseklaus derinimo grandyną (Kiela 2015). Visos analoginių integrinių įtaisų derinimo sistemos yra skirtos tik vieno parametro derinimui.

Iki disertacinio darbo pradžios žinomos integrinių analoginių įtaisų savitestavimo ir savaiminio derinimosi sistemos, naudojamos šiuolaikiniuose siųstuvuose-imtuvuose, nebuvo pakankamai ištirtos, sukurti savitestavimo būdai nėra pritaik-

kyti skirtingų tipų klaidų atpažinimui, derinimosi būdai skirti tik vieno iš derinamo įtaiso parametrų suderinimui, o taip pat tokių sistemų modeliai mažai aprašyti, todėl darbe vykdomi tyrimai yra aktualūs.

Tyrimų objektas

Darbo tyrimų objektas – belaidžio ryšio siųstuvų-imtuvų filtrų savitestavimo ir savaiminio derinimosi sistemos bei juos sudarančių blokų integriniai grandynai 0,18 μm KMOP technologijoje.

Darbo tikslas

Šio darbo tikslas – sukurti ir ištirti naujus savitestavimo ir savaiminio derinimosi būdus, gebančius aptikti skirtingų tipų klaidas, suderinti kelis grandyno parametrus reikalaujama tikslumu.

Darbo uždaviniai

Darbo tikslui pasiekti darbe buvo sprendžiami šie uždaviniai:

1. Ištirti savitestavimo ir savaiminio derinimosi sistemų struktūras, naudojamų šiuolaikiniuose siųstuvuose-imtuvuose ir sukurti struktūrą, tinkančią įgyvendinti taikant submikronines KMOP technologijas.
2. Sukurti ir ištirti siūlomos struktūros savitestavimo sistemos sudarančių blokų modelius.
3. Sukurti ir ištirti siūlomos savaiminio derinimosi sistemos blokų ir derinimo elementų modelius bei tokių grandynų projektavimo metodiką.

Tyrimų metodika

Integrinių filtrų savitestavimo ir savaiminio derinimosi sistemų integrinių grandynų tyrimams taikyti analitiniai, matematiniai ir kompiuterinio modeliavimo metodai. Sukurtų sistemų klaidų aptikimo ir derinimo tikslumo tyrimui buvo naudota IBM ir TSMC 0,18 μm KMOP integrinių grandynų technologijos. Sukurtų savi-

testavimo, savaiminio derinimosi sistemų, derinimo matricų ir integrinių filtrų tyrimų metu taikyti kompiuterinio modeliavimo metodai naudojant CADENCE programinį paketą.

Darbo mokslinis naujumas

Rengiant disertaciją buvo gauti šie elektros ir elektronikos inžinerijos mokslui reikšmingi rezultatai:

1. Sukurtas integrinių analoginių aktyviųjų RC filtrų savitestavimo grandynas ir jo modelis, leidžiantis aptikti gamybos kritinius defektus bei nustatyti technologinių parametų nuokrypius reikalaujama tikslumu.
2. Signalų generavimu pagrįstame savitestavimo grandyne, matuojančiame generuojamų signalų dažnį, bei grįžtamojo ryšio grandyne pasiūlyta naudoti inverterį, kuris sumažina savitestavimo sistemos įnešamą matavimo neapibrėžtį parametų nuokrypių aptikimui.
3. Pasiūlytas naujas integrinių aktyviųjų RC filtrų savaiminio derinimosi būdas, leidžiantis suderinti išėjimo signalo stiprinimą ir fazę reikalaujama tikslumu, tokiu būdu kompensuojant aplinkos ir technologinių parametų nuokrypių įtaką integrinio aktyviojo RC filtro veikimui.
4. Pasiūlytas daugiagrandžiu paremtu perjungiamųjų rezistorių matricų projektavimo metodas, įvertinantis reikalaujamą suderinimo tikslumą, galimus aktyviojo RC filtro KMOP technologinius gamybos nuokrypius bei aplinkos temperatūrą.

Darbo rezultatų praktinė reikšmė

Disertacijoje gauti rezultatai panaudoti projektuojant belaidžių siųstuvų-imtuvų integrinių filtrų savitestavimo ir savaiminio derinimosi sistemų blokus taikant 0,18 μm KMOP integrinių grandynų gamybos technologiją. Sukurtų savitestavimo ir savaiminio derinimosi sistemų modeliai bei integriniai grandynai gali būti taikomi šiuolaikiniuose daugiastandarčiuose belaidžiuose siųstuvuose-imtuvuose, esančiuose tarpinio dažnio traktuose, kurių dažnis 0,2–60 MHz, taip pat įvairiose moderniose specialios paskirties, karinėse, telekomunikacijų, sveikatos priežiūros srityse.

Disertacijos tyrimų rezultatai buvo panaudoti vykdant:

- Mokslo darbą „Daiktų interneto karkaso modelio ir priemonių intelektualioms transporto sistemoms kūrimas ir tyrimas“ (Nr. 16949, 2018).

Ginamieji teiginiai

1. Signalų generavimu paremtas integrinių filtrų savitestavimo metodas, įgyvendintas 0,18 μm KMOP technologijoje, leidžia pasiekti ne daugiau nei 0,7 % parametrinių klaidų nustatymo paklaidą bei ne mažiau nei 97 % kritinių klaidų nustatymo tikimybę.
2. Sukurta nauja integrinių filtrų savaiminio derinimosi sistema leidžia suderinti kvadratinųjų kanalų integrinių filtrų ribinį dažnį ir išėjimo signalo stiprinimą 0,2–0,5 % tikslumu, kai atraminio signalo dažnis lygus 10 MHz, o maksimali derinimo riba siekia 30 %.
3. Siūloma pakopinio jungimo perjungiamų rezistorių matrica, suprojektuota 0,18 μm KMOP technologijoje, leidžia sumažinti derinimo rezistorių varžą 7,7 karto, lyginant su lygiagretaus jungimo perjungiamų rezistorių matrica, išlaikant vienodą derinimo žingsnį, kai derinimo matricos dydis yra lygus 10 skilims.
4. KMOP integrinių raktų panaudojimas perjungiamų rezistorių matricų valdymui sumažina derinimo matricos varžos nustatymo neapibrėžtį iki 4,8 karto, lyginant su NMOP raktais, kai derinimo matricos dydis yra lygus 8 skilims.

Darbo rezultatų aprobavimas

Disertacijos tema yra atspausdinta 9 moksliniai straipsniai: trys – mokslo žurnaluose, įtrauktuose į *Clarivate Analytics Web of Science* duomenų bazę (Kladovscikov, Navickas, Kiela 2019; Kladovscikov, Jurgo, Navickas 2019; Kiela, Barzdėnas, Jurgo, Mačaitis, Rafanavičius, Vasjanov, Kladovščikov, Navickas 2020); keturi – tarptautinių konferencijų medžiagoje, įtrauktuose į *Clarivate Analytics Web of Science* „Conference Proceedings“ duomenų bazę (Kladovscikov, Navickas 2017; Kladovscikov, Navickas 2017; Kladovscikov, Navickas 2019; Kladovscikov, Navickas 2020), du – mokslo žurnaluose, referuojamuose kitose tarptautinėse duomenų bazėse (Kladovscikov, Navickas 2018; Kladovscikov, Navickas 2020).

Disertacijoje atliktų tyrimų rezultatai buvo paskelbti aštuoniose mokslinėse konferencijose Lietuvoje ir užsienyje:

- Dvidešimtoji Lietuvos jaunųjų mokslininkų konferencija „Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika“. Lietuva, Vilnius, 2017 m. kovo 17–18 d.
- *IEEE International Conference „Electrical, Electronic and Information Sciences 2017“*. Lietuva, Vilnius, 2017 m. balandžio 27–28 d.
- *IEEE 5th Workshop on „Advances in Information, Electronic and Electrical Engineering“*. Latvija, Ryga, 2017 m. lapkričio 24–25 d.
- *IEEE 18th Lithuania-Belarus Workshop „Advanced microwave devices and systems“*. Lietuva, Vilnius, 2017 m. gruodžio 8–9 d.
- Dvidešimt pirmoji Lietuvos jaunųjų mokslininkų konferencija „Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika“. Lietuva, Vilnius, 2018 m. kovo 16 d.
- Dvidešimt antroji Lietuvos jaunųjų mokslininkų konferencija „Mokslas – Lietuvos ateitis. Elektronika ir elektrotechnika“. Lietuva, Vilnius, 2019 m. kovo 15 d.
- *IEEE 7th Workshop on „Advances in Information, Electronic and Electrical Engineering“*. Latvija, Liepoja, 2019 m. lapkričio 15–16 d.
- TSP International Conference „Telecommunications and Signal Processing“ Milanai, Italija, 2020 m. liepos 6–9 d.

Disertacijos struktūra

Disertaciją sudaro įvadas, keturi skyriai ir bendrosios išvados. Taip pat yra trys priedai.

Darbo apimtis yra 120 puslapių, neskaitant priedų, tekste panaudotos 35 numeruotos formulės, 62 paveikslai ir 9 lentelės. Rašant disertaciją buvo panaudota 129 literatūros šaltinių.

Padėka

Autorius dėkoja savo moksliniam vadovui prof. habil. dr. Romualdai Navickai už labai gerą vadovavimą, konsultacijas, vertingus patarimus bei kantrybę.

Dėkoju Kompiuterijos ir ryšių technologijų katedrai bei jos kolektyvui už galimybę studijuoti ir vykdyti mokslinę veiklą. Atskirai norėčiau padėkoti dr. Marijan Jurgui už vertingas pastabas ir pagalbą rengiant disertaciją. Ačiū Lietuvos mokslo tarybai už suteiktą paramą.

Didžiausia padėka skiriama žmonai Monikai už palaikymą, motyvaciją ir kantrybę.

Siųstuvų-imtuvų savitestavimo ir savaiminio derinimosi sistemų analizė

Šis skyrius skirtas literatūros apžvalgai. Jame nagrinėjami belaidžio ryšio siųstuvų-imtuvų testuojamos ir derinamos grandinės, derinimo metodai. Skyriaus pabaigoje suformuluojami disertacijos uždaviniai.

Skyriaus tematika paskelbti du moksliniai straipsniai (Kladovscikov, Navickas 2017; Kaldovscikov, Navickas 2018). Skyriaus tematika skaitytas vienas pranešimas Lietuvos konferencijoje (Kladovščikov 2017) ir vienas pranešimas tarptautinėje užsienio konferencijoje (Kladovscikov, Navickas 2017).

1.1. Savitestavimo ir savaiminio derinimo sistemų paskirtis šiuolaikiniuose integriniuose lustuose

Tobulėjančios integrinių grandynų (IG) gamybos technologijos leidžia į vieną integrinį lustą sutalpinti vis didesnę kiekį elektroninių elementų. Tačiau net tobulėjant IG gamybos technologijoms, vis dar išlieka reikšmingas trūkumas tokių grandynų – elementų verčių paklaidos. IG komponentų – rezistorių, kondensatorių,

tranzistorių ir kt. paklaidos sąlygoja paties įtaiso veikimą, o pagaminto IG parametrai dažniausiai skirsis nuo projektuojamo grandyno. Atskirų integrinių komponentų paklaidos, priklausomai nuo gamybos technologijos, gali siekti net iki $\pm 20\%$ (IBM 2003), o jei sistemą sudaro keli komponentai, bendra paklaida gali siekti iki $\pm 50\%$ ar daugiau.

Belaidžio ryšio siųstuvai-imtuvai yra sudaryti iš eilės grandynų, tokių kaip mažatriukšmiai ir kintamos galios stiprintuvai, maišikliai, įtampa ar skaitmeniniu būdu valdomi dažnio generatoriai, juostos išrinkimo ir tarpinio dažnio filtrai, skaitmeninis-analoginis (SAK) ir analoginis-skaitmeninis (ASK) keitikliai. Bendra struktūrinė nulinio tarpinio dažnio siųstuvo-imtuvo schema pavaizduota 1.1 paveiksle (Huang *et al.* 2013).

1.1 pav. Nulinio tarpinio dažnio siųstuvo-imtuvo struktūrinė schema

Fig. 1.1. Zero intermediate frequency transceiver structure

Siųstuvo-imtovo grandyną sudarančių pagrindinių blokų paskirtis:

- Skaitmeninio apdorojimo įtaisas – formuoja siunčiamus signalus ir apdoroja priimtus signalus.
- Skaitmeninis-analoginis keitiklis – pakeičia skaitmeninį signalą į analoginiu.
- Siųstuvo žemų dažnių filtrai – nufiltruoja SAK generuojamų triukšmus.
- Siųstuvo kvadratūrinis maišiklis – perkelia kvadratūrinių traktų signalą iš nulinio dažnių ruožo į aukštesnį dažnių ruožą, dar vadinamą nešlio dažniu. Abu naudingi signalai yra perstumti per 90 laipsnių.
- Galios stiprintuvas – sustiprina siunčiamą signalą.
- Nešlio dažnio juostos išrinkimo filtras – nufiltruoja aukštadažnį signalą nuo kitų, nenaudingų signalo dedamųjų.
- Juostos išrinkimo filtras – išrenka iš eterio norimos juostos signalą.
- Mažatriukšmis stiprintuvas – sustiprina įėjimo signalą įnešant kuo mažiau papildomo triukšmo.
- Imtuvo kvadratūrinis maišiklis – perkelia nešlio naudingąjį signalą į nulinio dažnio ruožą bei išskirti gautą signalą į kvadratūrinius traktus.
- Imtuvo žemų dažnių filtrai – nufiltruoja naudingąjį signalą nuo pašalinių, greta esančių signalų.
- Kintamos galios stiprintuvai – sustiprina nufiltruotą signalą. Stiprintuvų stiprinimo koeficientas yra valdomas ir nustatomas tokiam lygiui, kad toliau esantys ASK priimtų signalą, kurio kitimo ribos yra kuo artimesnės ASK įėjimo dinaminiam diapazonui.
- Analoginis-skaitmeninis keitiklis – skirtas gauto signalo diskretizavimui ir kvantavimui.

Kiekviena iš pateiktų siųstuvo-imtovo sudedamųjų dalių yra jautrios pašalinių veiksnių, tokių kaip gamybos metu atsiradusios įtaisų parametrų verčių nuokrypiai, aplinkos temperatūra, integrinio lusto senėjimas ir kt., įtakai. Bet kurioje sistemos dalyje atsiradusios atitinkamo įtaiso parametrų nuokrypiai nuo projektavimo metu paskaičiuotų, gali turėti ypač didelę įtaką priimamo ar siunčiamo signalo perdavimui.

Be jau paminėtų pašalinių veiksnių, kurie dažniausiai įtakoja analoginius įtaisus, verta paminėti ir kritinės lusto klaidas, kurios taip pat įtakoja ir skaitmeninius įtaisus. Kritinės lusto klaidos – tai visi lusto defektai, tokie kaip nutrūkė arba užtrumpinti integriniai takeliai ar kontaktai, dėl ko paprastai negrįžtamai pakinta viso įtaiso veikimas. Kritinės lusto klaidos gali atsirasti dėl IG gamybos metu atsiradusių svetimkūnių ant IG plokštelės, fotošablono defektų, naudojamų priemonių dujų, skirtų termininei priemonių difuzijai, netobulumo. Analoginiai įtaisai, paveikti kritinių klaidų, paprastai pakeičia dažnines ir/ar fazines charakteristikas, o šių charakteristikų pokytis, priklausomai nuo defekto vietos, gali būti tiek

nežymus ir beveik neįtakojantis įtaiso veikimo, tiek visiškai sugadinantis įtaisą. Skaitmeniniams įtaisams, kurie sudaryti iš loginių grandynų, atsiradusios kritinės klaidos gali įnešti skaičiavimų ar kombinacines klaidas.

1.2. Siųstuvų-imtuvų savitestavimas ir savaiminis derinimas

Pagaminti integriniai lustai paprastai yra ištestuojami. Testavimui dažniausiai naudojamos testavimo mašinos, kurios yra lankstaus pritaikymo, gali patikrinti tiek skaitmenines, tiek analogines sistemas, pakankamai sparčios ir priklausomai nuo naudojamo testavimo sistemos modelio, leidžia patikrinti sudėtingo programuojamo radijo siųstuvo-imtovo IG blokus kartojant testus ties skirtingais ribiniais taškais per sąlyginai neilgą laiko tarpą (vidutiniškai apie 20 patikrinimų per 1 sekundę). Nors tokios testavimo mašinos pasižymi sparčiu veikimu ir lankstumu, jų naudojimo kaštai žymiai išaugina pagaminto integrinio lusto kainą, o taip pat, gaminant IG serijine arba masine gamyba, testavimo laikas atitinkamai padidėja. Dėl paminėtų trūkumų dažnai yra naudojamos savitestavimo sistemos, kurios yra integruotos į lustą.

Savitestavimo sistemos šiuolaikiniuose integriniuose grandynuose skirtos pavienių blokų ar sistemų veikimo patikrinimui ties svarbiausiais sistemų darbo režimais. Tokios sistemos yra kuriamos atsižvelgiant į kelis iškeliamus tikslus: sumažinti po IG gamybos atliekamų testavimų kaštus; naudojamas lusto plotas leidžia įterpti papildomus grandynus; norima atlikti sistemų testavimą lusto veikimo metu; kai IG naudojamos dubliuojančios sistemos – naudoti sistemas be klaidų.

Integrinių grandynų savaiminio derinimo sistemos leidžia suderinti atskiras grandyno sistemas reikalaujamu tikslumu. Siųstuvo imtuvo grandynas išdalinamas į pavienes dalis, tokias kaip analogas-skaitmuo keitikliai, nulinio dažnio filtrai, žematriūkšmiai stiprintuvai, bei kombinuotas, sudarytas iš kelių įtaisų – kvadraturinių traktų filtrų, žemų dažnių filtrų sujungtų su kintamos galios stiprintuvais. Atskirų sistemų derinimas leidžia nepriklausomai keisti kiekvienos sistemos parametrus, pasiekti nustatytų parametrų optimalų tašką, tačiau reikalingas papildomas visos sistemos patikrinimas. Kombinuotų sistemų derinimas atsižvelgia į kelių tarpusavyje priklausomų parametrų derinimą vienu metu, kas leidžia nustatyti optimalius grandyno dalies veikimo parametrus. Optimalūs grandyno parametrai užtikrina geriausius įmanomus pagaminto lusto parametrus.

Savaiminio derinimosi sistemos gali būti įgyvendintos integriniame luste kaip atskiri įtaisai, kurios keičia derinamos sistemos vieno, ar kelių komponentų vertes, tokias kaip varža, talpa, kartu keičiant ir sistemų parametrus – vėlinimą, stiprinimą, generuojamą dažnį ir kt. Tokios savaiminio derinimosi sistemos yra

pritaikomos skirtingose integrinių grandynų gamybos technologijose, projektuojamos pagal reikalaujamą derinimosi tikslumą tačiau visais atvejais jos yra projektuojamos lusto projektavimo metu.

Programuojamo radijo integriniai siūstuvai-imtuvai pasižymi dideliu lankstumu, kas padidina jos įtaisų savaiminio derinimosi sistemoms keliamus reikalavimus – to paties įtaiso, pavyzdžiui integrinio filtro, suderinimo tikslumą naudojant jį skirtinguose dažnio ruožuose. Tokiu atveju dažnai naudojami luste esantys valdikliai, pavyzdžiui skaitmeninių signalų apdorojimo įtaisai, priimamų ir gaunamų signalų modifikavimui atsižvelgiant į grandyno nuokrypius. Tokiu atveju yra atliekamas grandyno susiderinimas – sujungiami grandyno išėjimas ir įėjimas, paduodamas žinomas signalas bei koreguojama signalo siuntimo arba priėmimo dalis. Grandyno susiderinimas uždara sistemą ir naudojant SSA įtaisą neužtikrina sistemos suderinimo tikslumo, kadangi gali būti klaidingai nustatyta derintina grandyno vieta.

1.3. Savitestavimo būdai ir sistemos

Savitestavimo sistemos skirstomos į skaitmenines ir analogines. Skaitmeninės sistemos skirtos skaitmeninių įtaisų testavimui. Skaitmeniniai įtaisai testuojami paduodant žinomą skaitmeninių signalų kombinaciją į įtaiso įėjimą ir tikrinamas gautas rezultatas. Tokiu atveju patikrinama, ar įtaisas teisingai apdoroja duomenis, tačiau įtaisui sudėtingėjant, reikia įvertinti visų įmanomų skaičiavimo kombinacijų skaičių, kas sąlygoja savitestavimo sistemos padalinimą į kelias dalis. Skaitmeninių grandynų testavimas skirstomas į kelis būdus:

1. Centralizuotas ir atskirtas savitestavimas.
2. Atsitiktinės imties savitestavimas.
3. Skenuojantis savitestavimas.
4. Lygiagretus savitestavimas.

Centralizuoto ir atskirtojo savitestavimo sistema (John, Antony, 2017) naudoja vieną signalų generavimo ir duomenų apdorojimo grandyną daugeliui testuojamų sistemų (1.2 pav.). Vienu metu yra testuojama viena sistema, o testuojamos sistemos yra perjungiamos naudojant multipleksorius. Testavimo metu prie testuojamo grandyno įėjimo yra prijungiamas pseudo atsitiktinių skaičių generatorius bei apdorojimo grandynas. Sugeneruotas signalas yra pakeičiamas testuojamoje grandinėje ir perduodamas tiesiogiai apdorojimo grandynui, kur nustatoma, ar naudojant šį atsitiktinį skaičių gaunamas teisingas atsakymas. Testavimas kartojamas eilę kartų, vėliau prijungiamas sekantis testuojamas grandynas ir pakartojami testavimo veiksmai.

1.2 pav. Centralizuoto ir atskiro savitestavimo sistemos blokinė schema

Fig. 1.2. A centralized and separate built-in self-test system architecture

Centralizuotas ir atskirtas savitestavimo būdas pasižymi mažu testavimui reikalingų grandynų skaičiumi, kartu sumažinant testuojamų sistemų ir testavimo grandyno naudojamo lusto ploto santykį (Sadredini *et al.* 2012). Testuojamų sistemų skaičius priklauso nuo naudojamų multipleksorių skilčių skaičiaus, atitinkamai didėjant testuojamų sistemų kiekiui, ilgėja bendras testavimo laikas. Kadangi naudojamas pseudo atsitiktinių skaičių generatorius, generuojamų testavimo kombinacijų skaičius parenkamas atsižvelgiant į norimą klaidų aptikimo lygį ir testavimo laiką.

Atsitiktinės imties savitestavimo sistema (1.3 pav.) naudoja pseudo atsitiktinių skaičių ir nuoseklųjį generatorius testavimo duomenų generavimui ir daugelio įėjimų duomenų apdorojimo įtaisą bei nuoseklųjį požymių registrą. Siekiant sumažinti apdorojamų duomenų kiekį, naudojamas testavimo duomenų suglaudiniimas.

Naudojamas pseudo atsitiktinių skaičių generatorius neužtikrina optimalaus generuojamų testavimo taškų skaičiaus, dėl ko testavimas gali būti kartojamas naudojant panašius duomenis. Šiuo atveju tikslinga naudoti iš anksto sudarytas duomenų lenteles, apskaičiuojant optimalų jų kiekį, atsižvelgiant į norimą testavimo aprėptį ir testavimo laiką.

1.3 pav. Atsitiktinės imties savitestavimo sistemos blokinė schema

Fig. 1.3. A random-test socket built-in self-test system architecture

Siekiant atskirti to paties skaitmeninio grandyno dalis, naudojamas skenuojantis savitestavimas (1.4 pav.). Testavimui sugeneruojamos atskiros testavimo linijos, kurių naudojimas neįtakoja kitų loginių įtaisų įėjimų (Chatterjee, Pradhan 2003). Kelių testavimo linijų panaudojimas leidžia tiksliau nustatyti, kurioje grandyno dalyje yra klaida. Taip pat, kelių testavimo linijų panaudojimas atitinkamai sumažina laiką, reikalingą grandyno testavimui.

1.4 pav. Skenuojančio savitestavimo sistemos blokinė schema

Fig. 1.4. A multiple input sequence generator shift register scanning built-in self-test system architecture

Pseudo atsitiktinių skaičių generatorius sudaro vienodą duomenų seką kiekvienai testavimo linijai. Testavimo linijų ilgis, priklausomai nuo testuojamo grandyno architektūros, gali būti skirtingo ilgio, tad trumpesnių grandynų testavimas gali tiesiogiai perduoti sugeneruotą signalą duomenų apdorojimo įtaisui.

Lygiagretaus savitestavimo sistemos (1.5 pav.) leidžia vienu metu naudoti grandyną pagal paskirtį ir tuo pat metu jį tikrinti (Voyiatzis *et al.* 2010). Grandyno testavimas atliekamas tuo atveju, kai grandyno įėjime duomenys atitinka sugeneruotą atsitiktinį skaičių. Pirmiausia, sugeneruojamas atsitiktinis skaičius ir įkeliamas į duomenų saugojimo registrą. Pasikeitus grandyno įėjime duomenims, jie pakartotinai palyginami su saugojamais duomenų registre. Kol įėjimo ir registre saugojami duomenys nesutampa, jie yra apdorojami įprastu režimu. Kai įėjimo ir duomenų registre saugojami duomenys sutampa, testavimo sistema priima fiksuotą kiekį duomenų grandyno išėjime, perduoda duomenų apdorojimo įtaisui, kuris nustato, ar gautas atsakymas teisingas. Tokiu būdu testavimas atliekamas kaskart, kai sugeneruotas atsitiktinis skaičius atitinka grandyno įėjime esantį skaičių.

1.5 pav. Lygiagretaus savitestavimo sistemos blokinė schema

Fig. 1.5. A concurrent built-in self-test system architecture

Kadangi grandyno testavimas atliekamas pažingsniui, galima naudoti vieną savitestavimo sistemą keliems grandynams testuoti, kas sumažina bendrą naudojamą lusto plotą. Sugeneruoti ir apdoroti duomenys saugojami registre, kas užtikrina surinktų duomenų tolydumą juos apdorojant.

Analoginių grandynų testavimas apima ne tik kritinių, bet ir parametrinių klaidų atpažinimą. Skirtingai nei kritinės klaidos, kur nustatomi nutraukti arba užtrumpinti grandyno mazgai, parametrinės klaidos gali būti sunkiai atpažįstamos – jos parodo testuojamo grandyno vieno ar kelių komponentų verčių nuokrypį nuo numatytųjų. Tai sąlygoja bendrą grandyno testavimą vertinant jo atitiktį nustatytiems reikalavimams, pavyzdžiui įtampa valdomo generatoriaus generuojamų perdavinamų dažnių ruožas turi būti ne siauresnis nei to reikalauja duomenų perdavimo ryšio standartas, atitinkamai testavimas atliekamas keliuose darbo taškuose – privalomi taškai apima minimalų ir maksimalų dažnį. Papildomi taškai gali būti parenkami norint ištestuoti derinimo charakteristikos tiesiškumą. Analoginių grandynų testavimas skirstomas į kelis būdus:

- grandyno atsako atpažinimo;
- grandyno generuojamo signalo dažnio.

Grandyno atsako atpažinimo testavimo metodas pagrįstas žinomo signalo perdavimu į grandyną tikrinant pakeistą signalą grandyno išėjime (Dogaru *et al.* 2014, Sun 2004). Savitestavimo sistemą sudaro testavimo procedūros valdymo įtaisas, signalų generavimo įtaisas, signalų apdorojimo įtaisas bei integriniai raktai testuojamų grandynų perjungimui. Testavimo procedūros valdymo įtaisas valdo signalų generavimo ir apdorojimo įtaisas, perjungia testuojamus grandynus, kaupia testavimo rezultatus, perduoda sukaupią informaciją pagrindiniam grandyno valdikliui. Signalų generavimo įtaisas generuoja iš anksto žinomą analoginį signalą bei perduoda jį į atitinkamą testuojamo grandyno mazgą. Generuojamų signalų forma ir dažnis priklauso nuo testuojamo grandyno – analoginiai filtrai testuojami naudojant skirtingų dažnių sinusinį signalą, ĮVG testuojami keičiant valdymo įtampą, KGS – tiek įėjimo signalo amplitudę, tiek valdymo įtampą.

Signalų apdorojimo įtaisas apdoroja gautą signalą bei nustato jo nuokrypį nuo numatytojo signalo. Kadangi testuojamas analoginis signalas, privaloma apdoroti ir nustatyti gauto signalo formą, dažnį bei stiprį. Dėl savo sudėtingumo ir didelio užimamo ploto integriniame luste dažnai naudojamas tik vienas įtaisas visų grandynų testavimui. Priklausomai nuo grandyno sudėtingumo, jį sudarančių įtaisų skaičiaus, bei norimos testavimo aprėpties, viso grandyno testavimas gali užtrukti ilgą laiko tarpą.

1.6 pav. Grandinės atsako testavimo sistemos struktūra
Fig. 1.6. A circuit response built-in self-test system architecture

Atsižvelgus į anksčiau paminėtus testavimo sistemos trūkumus, tikslinga ištestuoti viso grandyno veikimą, netestuojant atskirų grandynų. Testuojant siųstuvą-imtuvą, siųstuvo išėjimas sujungiamas su imtuvo įėjimu, taip sudarant uždarą grandyną. Signalų generavimo grandynas yra prijungiamas prie SAK bei paduodamas žinomas signalas į siųstuvo kvadratinį kanalą. Signalų apdorojimo įtaisas yra prijungiamas prie ASK išėjimo bei gauti duomenys palyginami su signalų generavimo įtaiso sugeneruotais. Atitinkamai, norint pasiekti plačią testavimo aprėptį, testavimas kartojamas su eile skirtingų generuojamų signalų.

Testuojamo grandyno uždarymas ir bendros sistemos testavimas paspartina pagamintų lustų testavimą, tačiau apriboja defektuotų įtaisų nustatymo galimybę. Testuojant integrinio lusto sistemos atskirus įtaisus paeiliui galima tiksliai nustatyti įtaisus su defektais, bei integriniame luste numačius dubliuojančius įtaisus – juos pakeisti. Atitinkamai prijungiami dubliuojantys sistemos įtaisai, bei pakartotinai atliekamas jų testavimas.

Grandyno generuojamo signalo dažnio testavimo būdas pagrįstas grandyno išskaidymu į funkcinius blokus bei jo pakeitimu į signalų generatorių (Arabi, Kaminska 1999). Paprastai, funkcinis blokas yra sudarytas iš pirmos ar antros eilės filtro, Šmito trigerio, operacinio stiprintuvo, ar kito analoginio įtaiso. Sujungus tokio įtaiso išėjimą su įėjimu naudojant grįžtamojo ryšio grandinę, bei nustatčius signalo vėlinimą grandinėje, įtaisas generuoja periodinį signalą (Arbet *et al.* 2015). Taip pat gali būti atliekamas ir įtaisų, kurių pagrindinė funkcija yra generuoti signalą, pavyzdžiui įtampa ar skaitmeniniu būdu valdomų generatorių, testavimas, tačiau papildoma grįžtamojo ryšio grandinė nėra jungiama. Funkcinio bloko generuojamo signalo dažnis netiesiogiai priklauso nuo jį sudarančių komponentų ir jų verčių kitimo, tačiau jo svyravimas leidžia nustatyti tokio funkcinio bloko atitikimą keliamiems reikalavimams.

Testavimo sistemą sudaro valdymo blokas, duomenų apdorojimo blokas bei grįžtamojo ryšio grandinė kartu su perjungikliais. Valdymo blokas įjungia testavimo procedūrą, perduoda nustatytas liesintąsias paklaidų ribas, informuoja kitus blokus apie vykdomą testavimą. Duomenų apdorojimo blokas nustato testuojamo grandyno generuojamo signalo dažnį, palygina jį su leistinąja paklaida bei perduoda testavimo rezultatą pagrindiniam lusto valdikliui. Grįžtamojo ryšio grandinė, prijungta tarp įtaiso išėjimo ir įėjimo, nustato fazės poslinkį, kas leidžia generuoti periodinį signalą grandinėje. Priklausomai nuo testuojamo įtaiso tipo naudojama teigiamojo arba neigiamojo grįžtamojo ryšio grandinė (Arbet *et al.* 2014). Teigiamojo grįžtamojo ryšio grandinė gali būti sudaryta naudojant kartotuvą arba užtrumpinus atitinkamus kontaktus. Neigiamojo grįžtamojo ryšio grandinė gali būti sudaryta naudojant inverterį, trigerį, komparatorių arba nulio detektorių.

Kadangi grandynas yra išskaidomas į mažesnius funkcinius blokus, signalų generavimo testavimo sistemai papildomai keliamas užimamo lusto ploto reikalavimas – testavimo sistema turi užimti integrinio lusto ploto ne daugiau nei testuojamas įtaisas. Tokiu būdu, kiekvienam įtaisui grandyne, galima numatyti testavimo sistemą, kurios gali būti jungiamos lygiagrečiai. Taip pat, grandyno sudedamųjų dalių testavimui galima numatyti vieną valdymo ir duomenų apdorojimo įtaisą, tačiau dėl ilgų jungiamųjų takelių tarp testuojamų įtaisų ir grįžtamojo ryšio grandinės, grandyno projektavimo metu sudėtinga nustatyti kiekvieno įtaiso generuojamo signalo dažnį.

1.4. Savaiminio derinimosi būdai ir sistemos

Anksčiau apžvelgtos savitestavimo sistemos yra skirtos grandynų patikrai, o gautas rezultatas yra skirtas tik įvertinti grandyno veikimo atitiktį nustatytiems reikalavimams. Tais atvejais, kai gaunamas neigiamas testavimo rezultatas, grandynas

negali būti naudojamas bei sprendžiama dėl viso lusto panaudojimo galimybės. Toks gamybos išeigos valdymo būdas patogus, kai lusto gamybos kaštai yra nežymūs bei defektuoto lusto pagaminimo tikimybė maža. Tais atvejais, kai negalima užtikrinti mažos defektuotų lustų išeigos, taip pat numatant integrinius lustus naudoti sistemose, skirtose sveikatos priežiūros, karinėje pramonėje ir kitose srityse, kur įrangos patikimumas turi būti užtikrintas. Tokiose srityse paprastai yra naudojami dubliuojančios arba savaimės susiderinančios sistemos. Skirtingai nei anksčiau apžvelgtose testavimo sistemose, patikimumo užtikrinimui dubliuojančiomis sistemomis yra laikomos ne pavienių įtaisų kopijų luste numatymas, o visos sistemos dubliavimas, kai įvykus įrangos gedimui naudojama rezervinė įrenginio sistema, kol bus pakeista pagrindinė sistema.

Savaimės susiderinančios sistemos ir grandynai naudojami, kai reikalinga visa tinkamų naudojimui grandynų IG gamybos išeiga. Tokios sistemos turi gebėti keisti savo parametrus priklausomai nuo gamybos metu atsiradusių jų parametrų variacijų, taip pat turi būti atsižvelgiama ir į grandyno naudojimo metų atsiradusius nuokrypius – įtaisui šylant ir senstant keičiasi grandinės varža, talpa tarp komponentų arba išvadų, KMOP tranzistorių nuotėkio srovė ir kiti parametrai. Visi lusto veikimą įtakojantys veiksniai turi būti numatyti projektuojant savaiminio derinimosi sistemas.

Savaiminio derinimosi sistemos šiuolaikiniuose siūstuvuose-imtuvuose yra taikomos kiekvienoje lusto dalyje, suderinant kiekvieną dalį atskirai, arba naudojama bendra lusto derinimosi sistema, kai atsižvelgiama tik į siūstuvo siunčiamo bei imtuvo priimamo signalo teisingumą. Pirmuoju atveju, kiekviena dalis yra derinama nepriklausomai viena nuo kitos, iš pradžių parenkant norimą darbo tašką kiekvienai grandyno daliai, bei, esant poreikiui, atsižvelgiama į atskirų dalių tarpusavio suderinamumą, ieškoma optimalaus darbo taško. Šis būdas palengvina integrinio lusto projektavimą, kai galima kurti atskirus blokus nepriklausomai vieną nuo kito, taip pat naudojant intelektualios nuosavybės blokus (angl. *intellectual property*) arba kitas, lengvai sintezuojamas skirtingose IG gamybos technologijose lustus. Kiekvienai grandyno daliai savaiminio derinimosi sistemos gali skirtis tiek veikimo ir valdymo principu, tiek ir bendru užimamu plotu. Neretai, norint pasiekti itin aukštą grandyno patikimumą atskirų savaiminio derinimosi sistemų naudojamas IG lusto plotas ženkliai didina derinamųjų grandynų plotą, tad projektavimo metu turi būti atsižvelgiama ir į reikalaujamo derinimosi tikslumo bei užimamo lusto ploto santykį.

Naudojant bendrą lusto savaiminio derinimosi sistemą, analogiškai kaip ir anksčiau aprašytų savitestavimo sistemų atveju, sujungiamas siūstuvo-imtuvo išėjimas su įėjimu, tikrinama ar siunčiamas signalas grįžta teisingas bei esant nuokrypiams – koreguojamas siunčiamų signalų kodas. Šis būdas yra dažnai naudojamas, kai nenorima kurti papildomų derinimosi grandynų kiekvienai sistemos

daliai, visą siųstuvo-imtovo veikimą ir derinimą atlikti naudojant pagrindinį sistemos valdiklį – skaitmeninių signalų apdorojimo įtaisą. Toks būdas ženkliai padidina valdiklio apkrovimą, tačiau leidžia minimaliomis grandyno korekcijomis užtikrinti viso siųstuvo-imtovo veikimą.

Kiekvienos siųstuvo-imtovo dalies savaiminio derinimosi sistemos skiriasi tiek veikimo principu, tiek derinamais parametrais, tad tikslinga kiekvieną jų apžvelgti atskirai.

1.4.1. Nuolatinės dedamosios poslinkis

Nuolatinės dedamosios poslinkis integriniuose grandynuose nurodo perduodamų signalų nuolatinės dedamosios perstūmimą amplitudės ašyje. Ši signalų perdavimo paklaidos rūšis įtakoja jėgimo tranzistorių darbo tašką, kartu keičiant ir diferencinių signalų atitikimą vienas kitam. Taip pat, atsiradęs nuolatinės dedamosios poslinkis kvadratininiuose tarpinio arba nulinio dažnio kanaluose didina klaidos vektoriaus amplitudę, kartu mažėja ir palaikomų signalų moduliacijų lygis.

KMOP integrinių grandynų technologijoje negalima pilnai izoliuoti kelių elementų, tad atsiranda ryšys tarp jų. Imtuve aukštadažniai ryšiai, įnešantys nuolatinės dedamosios poslinkį, yra tarp dažnių generatoriaus (DG) bei mažatriūkšmio stiprintuvo (MTS). Jeigu atsiranda DG aukštadažnio signalo nuotėkis į MTS (1.7 pav., a), toliau šis nepageidaujamas signalas maišiklyje yra maišomas su reikiamu DG signalu, ko pasekoje atsiranda nuolatinės dedamosios poslinkis (Xu *et al.* 2007). Taip pat, MTS interferuojantis signalas gali įtakoti DG (1.7 pav., b), šis signalas yra sudauginamas, ko pasekoje taip pat atsiranda nuolatinės dedamosios poslinkis (Xu *et al.* 2007).

Norint suderinti nuolatinės dedamosios poslinkį maišiklyje, dažniausiai naudojama savaiminio derinimosi grandinė, kurią sudaro reguliuojamas slopintuvas ir fazės perstumiklis (1.8 pav.) (Shuhei *et al.* 2008). DG išėjimo signalo amplitudė yra sumažinama iki reikiamo lygio, pakeičiama jo fazė -180° bei gautas signalas susumuojamas su signalu, esančiu MTS išėjime. Tokiu būdu yra sumažinamas dėl aukštadažnių ryšių tarp MTS ir DG atsiradęs nuolatinės dedamosios poslinkis.

Nuolatinės dedamosios poslinkio šaltiniais taip pat gali būti žemųjų dažnių filtras (ŽDF) ir kintamos galios stiprintuvas (KGS) (Cheng *et al.* 2009, Huang *et al.* 2011, Li *et al.* 2012). Likutinės nuolatinės dedamosios savaiminio derinimosi grandinė yra sujungta grįžtamuoju ryšiu su derinamais įtaisais, ji gali būti skaitmeninė arba analoginė. Skaitmeninė kalibravimo grandinė yra sudaryta iš komparatoriaus, skaitmeninio valdymo bloko bei vieno arba dviejų SAK (1.9 pav.) (Huang *et al.* 2013, Xiangning *et al.* 2010, Xiangning *et al.* 2010). Komparatorius yra skirtas nustatyti nuolatinės dedamosios poslinkio kryptį. Skaitmeninio valdymo įtaisas pagal iš komparatoriaus gautą signalą pakeičia skaitmeninę

kompensuojamos nuolatinės dedamosios vertę, kurią perduoda į SAK. SAK formuojamas nuolatinės įtampos signalas yra sumuojamas su tarpinio dažnio signalu, taip sumažinant nuolatinės dedamosios poslinkį. Kadangi įėjimo signalo amplitudė kinta, taip pat lustas yra įtakojamas aplinkos temperatūros, nuolatinės dedamosios poslinkio derinimas atliekamas nuolat.

1.7 pav. Auštadažniai ryšiai imtuve: a) dažnių generatoriaus nuotėkis į mažatriukšmį stiprintuvą; b) mažatriukšmyje stiprintuve interferuojančio signalo nuotėkis į fazės perstumiklį

Fig. 1.7. Self-mixing of: a) local-oscillator signal; b) an interferer

1.8 pav. Maišytuvo grįžtamojo ryšio nuolatinės dedamosios derinimo sistema

Fig. 1.8. Mixer direct current offset cancellation feedback method

Analoginė nuolatinės dedamosios poslinkio savaiminio derinimosi sistema yra sudaryta iš ŽDF ir galios stiprintuvo. Kadangi siekiamas atskirti nuolatinės įtampos signalą, naudojamas aktyvios varžos ŽDF. Nuolatinės dedamosios derinimas atliekamas nufiltruojant KGS išėjime esantį signalą bei naudojant galios stiprintuvą, kurio stiprinimo koeficientas yra lygus KGS stiprinimui, pakeičia nuolatinės dedamosios amplitudę, o gautas rezultatas sumuojamas su tarpinio dažnio signalu.

1.9 pav. Kintamos galios stiprintuvo grįžtamojo ryšio nuolatinės dedamosios derinimo grandinė

Fig. 1.9. Receiver variable gain amplifier two step direct current offset cancellation feedback method

1.4.2. Kvadratūrinių kanalų amplitudės ir fazės poslinkis

Nulinio tarpinio dažnio siųstuvai-imtuvai yra sudaryti iš kvadratūrinių I ir Q kanalų, kurių analoginiai įtaisai yra vienodi, tačiau moduluojant signalą, signalų maišiklis pakeičia perduodamų signalų fazę 90° kampu. Kadangi KMOP technologijoje praktiškai neįmanoma pagaminti lustų su identiškais I ir Q kanaluose esančiais įtaisais ir elementais, atsiranda tarp šių kanalų amplitudės ir fazės skirtumas. Taip pat, KMOP technologijos netobulumas įtakoja maišiklio parametrų, kas savaime padidina amplitudės ir fazės poslinkį. Kvadratūrinių kanalų amplitudės ir fazės poslinkį sukeliantys elementai yra ASK, SAK, ŽDF bei maišiklis (Kiayani *et al.* 2012).

Kvadratūrinių kanalų amplitudės ir fazės poslinkis įtakoja veidrodinio kanalo signalo malšinimo faktorių (VKSMF, angl. *Image rejection ratio, IRR*), o kartu ir siųstuvo-imtuvo klaidos vektoriaus amplitudę (KVA, angl. *Error vector magnitude, EVM*). KVA vertė tiesiogiai įtakoja perduodamų signalų moduliavimo schemos panaudojimą. IEEE 802.11 standartui leidžiamos didžiausios KVA vertės

(Ziomek *et al.* 2012), priklausomai nuo standarto modifikacijos ir norimos moduliavimo schemos, gali skirtis nuo -5 dB (BPSK moduliacija) iki -32 dB (256-QAM moduliacija) arba net iki -36 dB (1024 QAM moduliacijai). Veidrodinio kanalo signalo malšinimo faktorius apskaičiuojamas pagal:

$$VKSMF = 10 \log \frac{P_{\text{atvaizdas}}}{P_{\text{RF}}}, \quad (1.1)$$

čia $P_{\text{atvaizdas}}$ – veidrodinio kanalo signalo galia, P_{RF} – aukštadažnio signalo galia.

Klaidos vektoriaus amplitudė ir veidrodinio kanalo signalo malšinimo faktorius susieti pagal (Ko *et al.* 2011):

$$KVA \cong \sqrt{\frac{1}{STS} + 2 - \sqrt{\frac{1 - VKSMF}{1 + VKSMF}} \cdot \frac{2(1 + \sqrt{VKSMF})}{\sqrt{1 + 2\sqrt{VKSMF}}}}, \quad (1.2)$$

čia STS – signalo ir triukšmo santykis.

Siųstuvo kvadratūrinių kanalų amplitudės ir fazės savaiminio derinimosi grandinė yra sudaryta iš maišiklio, DG, ŽDF ir ASK (1.10 pav.) (Jacobus de Witt 2011, Luo *et al.* 2009). Galios stiprintuvu išėjimo signalas yra paduodamas į maišiklį, kur šis signalas yra atskiriamas nuo nešlio signalo. Toliau signalas yra paduodamas į ŽDF kur nufiltruojamas aukštadažnis signalas, bei skaitmenizuojamas ASK. Skaitmeninių signalų apdorojimo (SSA) įtaisas, pagal gautus paklaidos nustatymo duomenis, naudojant kompensavimo algoritmą, koreguoja siunčiamo signalo formą, taip derinant siųstuvo siunčiamą signalą.

1.10 pav. Siųstuvo grįžtamojo ryšio kvadratūrinių kanalų fazės ir amplitudės poslinkio derinimo sistema

Fig 1.10. Transmitter in-phase and quadrature imbalance feedback calibration method

Tuo tarpu imtuvui kvadratūrinių kanalų amplitudės ir fazės poslinkis derinamas modifikuojant diskretizuotą signalą SSA (1.11 pav.). Kvadratūrinių kanalų poslinkis nustatomas filtruojant ASK išėjimo signalą bei nustatant kvadratūrinių kanalų amplitudės ir fazės poslinkio vertes (Inamori *et al.* 2009). SSA įtaisas, pagal apskaičiuotas poslinkio vertes, modifikuoja kvadraturiniais kanalais gautą signalą.

1.11 pav. Imtuvo tiesioginio ryšio kvadratūrinių kanalų fazės ir amplitudės poslinkio derinimo sistema

Fig 1.11. Receiver in-phase and quadrature imbalance feedforward calibration method

1.4.3. Antros eilės tiesiškumo taškas

Netiesiniai imtuvo įtaisai įtakoja antros ir trečios eilės abipusės moduliacijos sukurtų papildomų spektro komponentių amplitudes (Svitek *et al.* 2005). Antros eilės abipusės moduliacijos (AEAM) sukuriamos komponentės yra tiek nuolatinė dedamoji, tiek aukštesnių dažnių, o pagrindiniai AEAM įtakojantys elementai yra MTS bei maišiklis. Norint sumažinti AEAM įtaką imtuvo veikimui, derinamas antros eilės tiesiškumo taško (AETT) parametras.

AETT parametro gerinimui projektuojamos suderintos simetrinės diferencinės grandinės, tačiau dėl IG gamybos technologijos netobulumų, visiško simetriškumo pasiekti neįmanoma (Dufrêne 2007, Dufrene *et al.* 2008). Taip pat AETT įtakoja signalo amplitudę bei veikos ciklas. 1.1 lentelėje pateiktos belaidžio ryšio standartų (Atalla *et al.* 2013) nurodomos mažiausios galimos AETT vertės.

Adaptyvioji AETT kalibravimo sistema yra sudaryta iš sinfazinio detektoriaus, ŽDF, ASK bei minimalaus kvadratinio nuokrypio (MKN, angl. *least-mean square*) filtro (1.12 pav., a) (Dufrêne 2007, Dufrene *et al.* 2008). MKN filtrui paduodamas atraminis signalas, kuris matuojamas sinfaziniu detektoriumi, o ŽDF

nufiltruoja aukštadažnes signalo komponentes. AETT derinimas atliekamas keičiant maišiklio išėjimo signalo srovę (Dufrene *et al.* 2008).

1.1 lentelė. Belaidžio ryšio antros eilės tiesiškumo taško reikalavimai

Table 1.1. Requirements for second order input intercept point for different wireless standard

Belaidžio ryšio standartas	Iėjimo antros eilės tiesiškumo taškas, dBm
GSM	46
UMTS	49
LTE	62

1.12 pav. Derinimosi sistema: a) imtuvo grįžtamojo ryšio antros eilės iškraipymų derinimosi sistema; b) maišytuvo išėjimo su reguliuojamais srovės šaltiniais schema

Fig 1.12. Tuning system: a) receiver adaptive second-order input intercept point feedback calibration method; b) mixer output with regulated current supply

1.4.4. Žemųjų dažnių filtro ribinis dažnis ir stiprinimas

Imtuvo priimamų signalų atrinkimui iš aibės kitų signalų naudojami ŽDF. Šiuolaikiniuose siųstuvuose-imtuvuose dažniausiai naudojami aktyvieji RC ŽDF, kurie yra tinkami naudoti aukštesniuose dažniuose, lyginant su skaitmeniniais filtrais, bei mažesniu įnešamu triukšmo lygiu, lyginant su perjungiamos talpos filtrais. Aktyvieji RC filurai yra sudaryti iš pasyviųjų elementų – kondensatorių, rezistorių, taip pat metalas-oksidas-puslaidininkis (MOP) tranzistorių, kurių vertės ir dydžiai įtakoja vieną iš pagrindinių ŽDF parametrų – ribinį dažnį (Heping *et al.* 2009). Siekiant tiksliau filtruoti signalą, naudojamos ŽDF ribinio dažnio derinimo grandinės. ŽDF derinimo būdai skirstomi į: tiesioginio valdymo, netiesioginio ryšio, bei naudojančias du pagrindinius filtrus (Kiela 2017). Taip pat, derinimo sistemų architektūros skirstomos į (Kladovščikov 2015): vėlinimo derinimo kilpos (Oshima *et al.* 2003, Oshima *et al.* 2004, Khoury 1994, Chen *et al.* 2008, Jin *et al.* 2012, Jinup *et al.* 2005, Youngjoo *et al.* 2005), generuojamų dažnių lyginimo (Vasilopoulos *et al.* 2006), talpų įsikrovimo lyginimo sistemas (Bo *et al.* 2004, Dingkun *et al.* 2006, Chen *et al.* 2011).

Tiesioginio valdymo derinimo būdo atveju panaudojamas pagrindinis filtras ir derinimo grandynas. Šiuo atveju, derinimo metu, ŽDF yra atjungiamas nuo likusios grandinės, kartu nutraukiant duomenų perdavimą. Tiesioginio ryšio derinimo grandynas gali būti naudojamas tuo atveju, jeigu mobiliojo ryšio standartas numato laiko tarpą DSI įtaisų, kartu ir ŽDF, derinimui. Pagrindinis šios derinimo sistemos privalumas – minimalus papildomų grandynų skaičius.

Derinimo grandynas, naudojantis du pagrindinius filtrus naudojamas rečiau. Šį derinimo grandyną sudaro du pagrindiniai ŽDF ir derinimo grandynas. Šios derinimo sistemos veikimas yra panašus į tiesioginio valdymo derinimo sistemos, tačiau atliekant vieno filtro derinimą, likusi DSI sistema yra prijungiamą prie antro filtro, tad DSI veikia nenutrūkstamai. Kadangi šiuolaikiniuose siųstuvuose-imtuvuose naudojami aktyvieji filurai dažnai yra ketvirtos ir aukštesnės eilės (Fan *et al.* 2009, Jinup *et al.* 2005, Yu-Chih *et al.* 2008), tokios derinimo grandinės naudojamas plotas yra didžiausias.

Netiesioginio keitimo derinimo sistemą sudaro derinimo grandynas, derinimo filtras bei pagrindinis filtras (1.13 pav., a) (Kladovščikov 2015, Kiela 2017, Kiela *et al.* 2016, Oshima *et al.* 2004). Naudojant šią derinimo sistemą, ŽDF lieka prijungtas prie DSI grandyno. Šios sistemos derinimo grandyną sudaro dažnių daliklis, komparatorius, rezistorių (1.13 pav., b) arba kondensatorių matrica, D tipo trigeris bei skaičiavimo elementas – reversinis skaitiklis arba paskiltnio palyginimo įtaisas. Derinimo filtras paprastai yra pirmos arba antros eilės, IG centruotas bei esantis arti pagrindinio filtro, taip siekiant suvienodinti absoliutinę komponentų paklaidą. Derinimo grandynas, keičiant rezistorių arba kondensatorių matricos nustatymus, keičia derinimo filtro ribinį dažnį. Daroma prielaida, kad pagrindinio ir derinimo filtro absoliutinė paklaida yra labai panaši, keičiant derinimo

filtro ribinį dažnį, pagrindinio filtro ribinis dažnis keičiamas tokiu pat žingsniu. Šios derinimo sistemos privalumas – nenutrūkstamas DSI veikimas bei santykinai naudojamas nedidelis IG plotas.

Ribinio dažnio derinimui dažniausiai naudojamos diskrečiai arba tolydžiai valdomos rezistorių matricos, o filtro režimo keitimui – kondensatorių matricos.

1.13 pav. Imtuvo netiesioginio ryšio žemų dažnių filtro ribinio dažnio derinimo sistema:
a) struktūra; b) perjungiamų rezistorių matricos schema

Fig. 1.13. Indirect low-pass filter cut-off frequency tuning system: a) structure;
b) switched resistor matrix

1.4.5. Kintamos galios stiprintuvų stiprinimas

Imtuvo priimamo ir nufiltruojamo signalo amplitudė nėra iš anksto žinoma (Song *et al.* 2014). Kadangi signalas yra diskretizuojamas, kvantuojamas ir perduodamas į SSA įtaisą, siekiama įėjimo signalą sustiprinti iki maksimalaus ASK įėjimo diapazono, kas leidžia tiksliau diskretizuoti signalą. Signalų sustiprinimas taip pat

leidžia pasiekti didesnę signalas-triukšmas santykį. Automatinio stiprinimo reguliavimo (ASR) sistemos skirstomos į tiesioginio, grįžtamojo bei hibridinio ryšio. Dažniausiai ASR sistemose naudojami keli KGS (Dong *et al.* 2015): vienas KGS naudojamas grubiam stiprinimo reguliavimui, o papildomas vienas ar du KGS – tiksliam stiprinimo reguliavimui.

Tiesioginio ir grįžtamojo ryšio ASR sistemos susideda iš kelių KGS, didžiausios vertės detektoriaus ir stiprinimo derinimo grandyno (1.14 pav., A, B) (Alegre *et al.* 2009, Pérez *et al.* 2010). Tuo tarpu hibridinio ryšio ASR sistemą sudaro stiprinimo nustatymo įtaisas bei grubaus ir tikslaus reguliavimo įtaisas (1.14 pav., C) (Genesis Microchip 2007).

1.14 pav. Imtuvo kintamos galios stiprintuvo stiprinimo derinimo sistema:

a) – tiesioginio ryšio; b) – grįžtamojo ryšio; c) – hibridinio ryšio

Fig. 1.14. Automatic gain control method; a) – feedforward; b) – feedback; c) – hybrid

Grubus reguliavimas atliekamas analoginiu signalu, paduodant signalą grįžtamojo ryšio į analoginį daugintuvą, o tikslius reguliavimas atliekamas siunčiant skaitmeninį kodą į SSA įrenginį.

1.5. Pirmojo skyriaus išvados ir disertacijos uždavinių formulavimas

Atlikus analizę disertacijos tema suformuluotos šios išvados:

1. Siųstuvų-imtuvų sudarančių įrenginių struktūros sudėtingėja, todėl pastaruoju metu didelis dėmesis skiriamas jų savitestavimo ar savaiminio derinimosi sistemų kūrimui ir tyrimams. Sukurtos savitestavimo ir savaiminio derinimosi sistemos nėra pritaikytos daugiastandartiniam siųstuvams-imtuvams.
2. Literatūroje paminėtos analoginių grandynų savitestavimo sistemos negeba atskirti kritinių ir parametrinių klaidų, jų panaudojimo galimybės IG yra ribotos, tad jos nėra tinkamos naudojimui šiuolaikiniuose grandynuose ir yra tobulintinos.
3. Jau sukurti savaiminio derinimosi grandynai iš dalies yra tinkami naudojimui nulinio tarpinio dažnio daugiastandartinuose siųstuvuose-imtuvuose, tačiau ne visos šiuo metu naudojamos sistemos geba suderinti daugiau nei vieną parametą esant skirtingiems darbo režimams.
4. Integrinių filtrų savaiminio derinimosi grandynų derinimo komponentų neapibrėžties įtaka suderinimo tikslumui yra mažai ištirta bei į ją neatsižvelgiama projektuojant savaiminio derinimosi sistemas.

Atlikus savitestavimo ir savaiminio derinimosi sistemų apžvalgą suformuluoti šie uždaviniai:

1. Sukurti integrinių analoginių aktyviųjų RC savitestavimo sistemą, naudotiną 0,18 μm KMOP integrinių grandynų technologijoje bei iš-tirti tokios sistemos defektų nustatymo tikslumą naudojant kartu su skirtingų struktūrų integriniais filtrais;
2. Sukurti ir ištirti integrinių analoginių aktyviųjų RC filtrų savitesta-vimo sistemų modelius ir jų projektavimo būdus, aptinkančius integ-rinių grandynų gamybos kritinius ir parametrinius defektus;
3. Sukurti ir ištirti integrinių analoginių aktyviųjų RC filtrų savaiminio derinimosi grandynų, aktyviai ir pasyviai kompensuojančių gamybos metu ir dėl aplinkos temperatūros atsiradusius parametų nuokrypius, modelius ir tokios sistemos projektavimo būdą.

Integrinių analoginių filtrų savitestavimo ir savaiminio derinimosi sistemų modeliai

Tyrimų tikslas – sukurti integrinių analoginių aktyviųjų RC filtrų savitestavimo ir savaiminio derinimosi sistemų struktūras ir modelius, jų projektavimo metodiką ir ištirti pasirinktose integrinių grandynų gamybos technologijose.

Skyriaus pradžioje pateikiama integrinių filtrų struktūrų analizė, pateikiamas pagrindinių filtro parametrų, tokių kaip fazės poslinkis, slopinimas, kokybės faktorius, sąryšis.

Integrinių analoginių filtrų testavimas atliekamas naudojant skaitmeninę dvigubo palyginimo testavimo sistemą, leidžiančią keisti klaidų aptikimo tikslumą. Modelių tikslumui patikrinti naudojami kompiuteriniai skaičiavimai 0,18 μm KMOP technologijoje įterpiant kritines ir parametrines klaidas.

Integrinių analoginių filtrų savaiminis derinimas atliekamas naudojant dviejų pakopų, vėlinimo ir stiprinimo, kilpą bei keičiant filtro parametrus diskrečiai valdomomis derinimo matricomis. Modelio tikslumui patikrinti naudojami kompiuteriniai skaičiavimai 0,18 μm KMOP technologijoje.

Pasiūlytai diskretaus valdymo derinimo matricos projektavimo metodikai sukuriamas derinimo grandynas ir atliekamas jos tyrimas. Skyrius baigiamas savitestavimo ir savaiminio derinimosi sistemų modelių sudarymo metu padarytomis išvadomis.

Skyriaus tematika paskelbti du moksliniai straipsniai (Kladovscikov, Navickas, Kiela 2019; Kaldovscikov, Jurgo, Navickas 2019). Skyriaus tematika skaitytas vienas pranešimas Lietuvos konferencijoje (Kladovščikov 2018) ir vienas pranešimas tarptautinėje užsienio konferencijoje (Kladovscikov, Navickas 2017).

2.1. Integrinių filtrų struktūrų analizė

Filtrų klasifikavimas yra filtrų priskyrimas tam tikrai filtrų kategorijai pagal jų savybes. Kategorijos skiriasi savo filtravimo savybėmis, architektūra, veikimo principu. Įvairūs šaltiniai filtrus klasifikuoja skirtingai.

Filtrai dažniausiai skirstomi į 2 grupes – tolydaus ir diskretaus laiko filtrus, bei į 2 pogrupius, atskiriant filtrus pagal signalo tipą. Tolydaus laiko filurai yra analoginiai filurai, o diskretaus laiko filurai gali būti tiek analoginiai tiek skaitmeniniai filurai. Analoginiai filurai skirstomi į 6 pogrupius:

- Mechaniniai filurai – mechaniniai rezonatoriai;
- Mikrobangų filurai – sudaryti iš mikrobangų rezonatorių;
- Perjungimo filurai – sudaryti iš taktiniu impulsu valdomo jungiklio ir talpos elemento;
- Pasyvieji filurai – sudaryti iš rezistorių, induktyvinių ričių ir talpų elementų;
- Aktyvieji filurai – sudaryti iš operacinio stiprintuvo (OS) ir varžų bei talpų elementų;
- Kristaliniai filurai – sudaryti iš pjezoelektrinių rezonatorių.

Filtrų klasifikavimas pavaizduotas 2.1 paveiksle.

Kiek kitaip filurai suskirstyti pagal Wanhammar, L. (Analog Filters using MATLAB. Springer, 2009.). Čia filurai skirstomi į diskretaus laiko filtrus ir analoginius filtrus. Autorius perjungiamos talpos filtrus priskiria diskretaus laiko filtrams, o analoginius filtrus suskirsto į 3 pogrupius: pasyvius, aktyvius ir integrinius filtrus. Filtrų klasifikavimas pateiktas 2.2 paveiksle.

Apibendrinus galima filtrus išskirti į dvi grupes – integrinius filtrus bei diskrečiųjų elementų filtrus. Kiekvienas iš šių filtrų gali būti tiek tolydaus, tiek diskretaus laiko filurai. Diskretaus laiko filurai yra išskiriami į skaitmeninius bei perjungiamos talpos filtrus. Tolydaus laiko filurai yra išskiriami į aktyviusius, pasyviuosius ir perjungiamos talpos filtrus. Apibendrintas klasifikavimas pavaizduotas 2.3 paveiksle.

2.1 pav. Elektrinių signalų filtrų klasifikavimas**Fig. 2.1.** Classification of electrical signal filters **2.2 pav.** Filtrų tipų klasifikavimas**Fig. 2.2.** Classification of filter types

2.3 pav. Apibendrinta filtrų klasifikacija
Fig. 2.3. Summary classification of filter types

Filtrų grandinės, pagal savo filtravimo pobūdį skirstomos į 6 pagrindinius tipus.

1. Žemųjų dažnių filtrai. Idealaus šio filtro dažninė charakteristika pavaizduota 2.4 paveikslo a dalyje. Visi dažniai, esantys iki ribinio dažnio f_k yra praleidžiami be signalo pakeitimo. Signalai, esantys už ribinio dažnio yra nuslopunami. Sritis, kurioje signalai yra slopinami, vadinama draudžiamų dažnių juosta. Praktikoje negalima gauti tokios charakteristikos dėl elementų parazitinių savybių bei jų priklausomybės nuo dažnio. Realaus ŽDF dažninė charakteristika pavaizduota 2.4 paveikslo b dalyje. Galima pastebėti, kad tarp praleidžiamų dažnių juostos (PDJ) ir draudžiamųjų dažnių juostos (DDJ) yra perėjimo juosta (PRJ), kuri nurodo sritį, kurioje signalas nuo -3 dB iki visiško jo nuslopinimo.
2. Aukštųjų dažnių filtrai (ADF). Idealaus ir realaus filtrų dažninės charakteristikos pavaizduotos 2.4 paveikslo c dalyje. Šiuo atveju taip pat ideali charakteristika praktikoje negalima. Kaip ir ŽDF atveju, ADF turi DDJ, PDJ ir PRJ.

3. Praleidžiamų dažnių juostos filtrai (PDJF). Šio filtro dažninės charakteristikos pateiktos 2.4 paveikslo d dalyje. Tokie filtrai praleidžia tik tam tikrą dažnių juostą. Toks filtras gali būti sudaromas naudojant ŽDF ir ADF.
4. Draudžiamų dažnių juostos filtrai (DDJF). Šio filtro dažninės charakteristikos pavaizduotos 2.4 paveikslo e dalyje. Tokie filtrai praleidžia visus dažnius išskyrus tam tikrą dažnių sritį. Toks filtras gali būti sudaromas naudojant ŽDF ir ADF. DDJF bei PDJF turi didžiausią selektyvumą.
5. Viską praleidžiantis filtras (VPF). Šio filtro dažninės charakteristikos pavaizduotos 2.4 paveiksle f dalyje. Tokie filtrai praleidžia visus dažnius. VPF filtrai dažniausiai naudojami kaip vėlinimo linijos.
6. Amplitudės lygintuvai. Šių filtrų dažninė charakteristika nepanaši į nei vieno iš kitų filtrų. Šio tipo filtrai naudojami kompensuoti ir koreguoti signalo spektrą dėl atsiradusių ir žinomų iškraipymų.

2.4 pav. Filtrų dažninės amplitudinės charakteristikos: a) idealus žemųjų dažnių; b) realus žemųjų dažnių; c) aukštųjų dažnių; d) praleidžiamųjų dažnių juostos; e) draudžiamųjų dažnių juostos; f) viską praleidžiančių

Fig. 2.4. Frequency response of filters: a) ideal low-pass; b) real low-pass; c) high-pass; d) band pass; e) band-stop; f) all-pass

Kiekvieną iš filtrų galima aprašyti bendra perdavimo funkcija:

$$H(s) = H_0 \frac{As^2 + Bs \left(\frac{w_z}{Q_z} \right) + Cw_z^2}{s^2 + s \left(\frac{w_p}{Q_p} \right) + w_p^2}, \quad (2.1)$$

čia $s = \pm j\omega$ yra kompleksinis dažnis, w_p ir Q_p atitinkamai vadinami poliaus dažniu ir poliumi. 2.1 lentelėje yra pateikti skaičiavimo duomenys kiekvienam filtrui.

2.1 lentelė. Specifinio filtro perdavimo funkcijos koeficientai

Table 2.1. Generic filter transfer function coefficients

Filtro tipas	<i>A</i>	<i>B</i>	<i>C</i>
ŽDF	0	0	1
ADF	1	0	0
PDJF	0	1	0
DDJF	1	0	1
VPF	1	−1	1

Naudodami 2.1 lentelėje pateiktus duomenis, sudaroma antros eilės ŽDF perdavimo lygtis:

$$H(s) = H_0 \frac{w_z^2}{s^2 + s \left(\frac{w_p}{Q_p} \right) + w_p^2}. \quad (2.2)$$

Filtrų su idealiomis charakteristikomis praktikoje gauti neįmanoma, tačiau galima priartėti prie jų. Šis veiksmas atliekamas per aproksimacijas – filtro charakteristikų priartinimo prie norimų, naudojant realių elementų savybes aprašančias matematines funkcijas.

2.5 pav. pateikta aproksimuota ŽDF charakteristika. Užbrūkšniuotos zonos nurodo ribas, kurių filtras negali viršyti. Iš šio paveikslo galima sužinoti pagrindinius filtro parametrus:

- PDJ stiprinimą A ;
- PDJ netolygumas δ_{A0} – nurodo leistinus A svyravimus praleidžiamų dažnių juostoje;
- Ribinį dažnį w_0 – ribą, kai stiprinimas nukrenta -3 dB žemiau A vertės;

- Stiprinimą A , ties nukirtimo dažniu w_0 , A_s – stiprinimo vertė, kurią norima pasiekti prie dažnio w_s ;
- Filtro slopinimo spartą. Šis parametras gali būti nurodytas dvejopai: išreikštas per PRJ plotį arba per w_s ir w_0 santykį.

2.5 pav. Žemų dažnių filtro dažninės amplitudinės charakteristikos pavyzdys

Fig. 2.5. Example of low-pass filter frequency response specification

Dar vienas parametras yra filtro grupinis vėlinimas τ_g . Filtro grupinis vėlinimas atsiranda dėl komponentų parametru parazitinių efektų, dėl ko filtro išėjime signalas atsiranda su tam tikru vėlinimu. Šis parametras svarbus, kai informacija yra perduodama visoje PDJ srityje, skirtingo dažnio nešančiaisiais signalais. Esant nevienodam grupiniam vėlinimui, dalis signalų suvėlinami skirtingą laiką, kas lemia informacijos praradimą.

Dažniausiai aproksimacijos yra taikomos filtro amplitudės charakteristikai. Filtro kvadratinė amplitudės funkcija užrašoma tokiu pavidalu:

$$|H(jw)|^2 = \frac{1}{1 + \varepsilon^2 |C_n(jw)|^2}, \quad (2.3)$$

čia $C_n(jw)$ – charakteringoji funkcija, ε – konstanta, kuri aprašo amplitudės pokytį PDJ.

2.2. Integrinių filtrų savitestavimo sistemos projektavimo metodika

Projektuojama savitestavimo sistema yra įgyvendinta submikroninėje 0,18 μm KMOP technologijoje bei skirta integrinių filtrų testavimui. Testuojamas įtaisas

išdalinamas į mažesnes dalis, kurios vadinamos funkciniais blokais. Funkciniai blokai pakeičiami į signalų generatorių pridedant teigiamąjį ar neigiamąjį ryšį tarp bloko išėjimo ir įėjimo (2.6 pav.). Funkcinis blokas veikia dviem režimais – įprastuoju ir testavimo. Įprastojo režimo metu, funkcinis blokas yra prijungiamas prie sistemos ir naudojamas tiesioginiai paskirčiai – signalų apdorojimui, filtravimui, perdavimui. Testavimo metu, funkcinis blokas yra atjungiamas nuo likusios grandinės bei grįžtamojo ryšio grandinė prijungiama prie atitinkamų išvadų. Signalų generavimo dažnis f_{osc} gali būti aprašytas kaip jį sudarančių komponentų funkcija. Kai testuojami signalų generatoriai, tokie kaip Šmito, įtampa ar skaitmeniniu kodu valdomi generatoriai, grįžtamojo ryšio grandinė nėra prijungiama.

2.6 pav. Funkcinio bloko schema: a) įprastoje veikoje; b) testavimo veikoje

Fig. 2.6. Basic diagram of the functional block: a) during normal operation; b) converted into an oscillator

Testavimo veikoje, atsiradę kritiniai defektai, tokie kaip nutrūkę ar užtrumpinti integriniai takeliai, bei parametriniai defektai, tokie kaip KMOP komponentų parametrų svyravimai įtakoja generuojamų signalų dažnį. Kritinių defektų atveju, generuojamų signalų dažnis kinta plačiame ruože, atskirais atvejais signalas išėjime nėra generuojamas. Parametrinių defektų atveju, generuojamų signalų dažnis kinta siaurame ruože, kas apsunkina tokių defektų aptikimą. Papildomai yra naudojamos savitestavimo sistemos su maitinimo srovės matavimo posisteme, kuri leidžia aptikti funkcinio bloko maitinimo srovės svyravimus.

Defektų aptinkamumas yra išreiškiamas kaip generuojamų signalų dažnio jautris nuo komponentų parametrų variacijų. Norint padidinti defektų aptinkamumą, vieno pasirinkto komponento parametro keitimas testavimo metu gali būti atliekamas, tačiau tokia sistema papildomai valdys komponentų parametrus. Taip pat funkcinio bloko testavimas bus atliekamas jau pakeistam blokui, tad sunku įvertinti nepakeisto bloko tinkamumą. Tikslinga naudoti KMOP gamybos svyravimams atsprias savitestavimo sistemas, kurios gali būti panaudojamos su skirtingais testuojamais įtaisais, bei lengvai pritaikomos skirtingose nanometrinėse ir

submikroninėse technologijose. Testavimo rezultato teisingumo užtikrinimui gali būti panaudojamos kelios grįžtamojo ryšio grandinės, siekiant sumažinti defektuotos grįžtamosios grandinės panaudojimo tikimybę.

Norint pakeisti funkcinį bloką į signalų generatorių, jo poliai turi būti perkelti į menamąją s -plokštumos dalį. Vienas iš perkėlimo būdų – sudaryti be galo didelį išėjimo signalo stiprinimą keičiant grandinę, pavyzdžiui atjungiant vieną iš pasyviųjų komponentų, tačiau ši sistema bus modifikuota ir neatitiks pradinio testuojamo grandyno. Kitas būdas, kaip buvo anksčiau aptarta, yra prijungiant atitinkamą grįžtamojo ryšio grandinę prie funkcinio bloko išvadų. Grįžtamojo ryšio grandinė parenkama pagal testuojamą funkcinį bloką, ji gali būti teigiamojo arba neigiamojo ryšio grandinė. Žemų dažnių filtrams, neigiamojo grįžtamojo ryšio grandinė, pavyzdžiui inverteris, Šmito trigeris, komparatorius, nulinio detektorius, gali būti panaudoti. Taip pat reikia atsižvelgti į sujungimus, grandinių atjungimo įtaisus, kurie įtakoja grįžtamojo ryšio grandinės perdavimo funkciją. Tokiu atveju, integrinio filtro perdavimo funkcija:

$$G(s) = \frac{H_{\text{filtro}}(s)}{1 - H_{\text{filtro}}(s) \cdot H_{\text{g.r.}}(s)}, \quad (2.4)$$

čia $H_{\text{filtro}}(s)$ – ŽDF perdavimo funkcija, $H_{\text{g.r.}}(s)$ – grįžtamojo ryšio grandinės perdavimo funkcija. Generuojamų signalų dažnis apskaičiuojamas pagal (2.5):

$$H_{\text{filtro}}(s)H_{\text{g.r.}}(s) = 1. \quad (2.5)$$

Iš (2.5) formulės matoma, kad generavimo sąlygoms susidaryti, signalo fazė neturi kisti grandinėje. Fazės postūmis yra nustatomas pagal naudojamą grįžtamojo ryšio grandinę – teigiamajam ryšiui sudaryti fazės postūmis turi būti lygus 0° , kai neigiamajam ryšiui fazės postūmis lygus 180° . Ši taisyklė vadinama Berkhauseno kriterijumi.

Signalų generavimu pagrįsta savitestavimo sistema yra sudaryta iš valdymo ir aptikimo blokų, o jos schema pateikta 2.7 paveiksle. Įprastoje veikoje, perjungimo raktai yra įjungti, bei funkcinis blokas veikia įprastu režimu. Perjungus į testavimo veiką, funkcinis blokas atjungiamas nuo likusios sistemos bei prijungiama grįžtamojo ryšio grandinė. Perjungimo raktai įneša papildomą varžą ir talpą į sistemą, tad lusto projektavimo metu reikia atlikti impedansų suderinimą tarp funkcinio bloko įėjimo ir išėjimo.

Kaip atraminio signalo šaltinis gali būti naudojamas Šmito osciliatorius, fazės derinimo kilpa, išorės osciliatorius. Šmito osciliatorius naudojamas išskirtinai aptinkant kritinius defektus, kadangi jo generuojamų signalų dažnis proporcingas pasyviųjų komponentų vertėms. Dažniausiai naudojamos fazės derinimo kilpos, kadangi jos įprastai būna jau įterptos į integrinį lustą, skirtą duomenų perdavimui.

čia n – skaitmeninių blokų skilčių skaičius, $f_{\max}$ – didžiausias funkcinio bloko generuojamas dažnis, f_{osc} – apskaičiuotas funkcinio bloko generuojamų signalų dažnis, Δf – generuojamų dažnių paklaida, f_{atr} – atraminio signalo dažnis.

Funkcinio bloko testavimo laikas, kartu ir visos sistemos veikimo laikas, apskaičiuojamas pagal (2.8):

$$t_{\text{test_TG}} = \log_2 \left(\frac{2}{\Delta f - 1} \right) \times \frac{1}{f_{\text{osc}}}; \quad (2.8)$$

$$t_{\text{test}} = \frac{64 + t_{\text{test_TG}} \times f_{\text{atr}}}{f_{\text{atr}}}; \quad (2.9)$$

$$f_{\text{atr}} \geq f_{\text{osc}}, \quad (2.10)$$

čia $t_{\text{test_TG}}$ – funkcinio bloko testavimo laikas, t_{test} – bendras testavimo laikas. Savitestavimo sistemos veikimo algoritmas pateiktas 2.8 paveiksle.

Toliau pateikiama savitestavimo sistemos veikimo eiga. Pirmiausia, skaitmeniniai signalai $p_{\text{ap.}}$ ir $p_{\text{virš.}}$ perduodami dvigubam komparatoriui, kuris nustato generuojamų signalų dažnio tolerancijos ribas. Toliau, signalai generuojami funkciname bloke bei skaičiuojami 64 impulsai norint gauti stabilaus dažnio svyravimus funkcinio bloko išėjime. Jeigu 64 impulsai nesugeneruojami per nustatytą laiką, savitestavimo sistema nutraukia veikimą bei nustato, kad funkciname bloke yra kritinis defektas. Toliau, nustatytą laiką, kuris apskaičiuojamas pagal (2.15) skaičiuojami generuojami signalai. Laikas, per kurį skaičiuojami signalai, yra nustatomas p_{cnt} signalo, kuris nustato kiek atraminio signalo impulsų bus suskaičiuota ir palyginama su atraminiu signalu – jeigu $p_{\text{cnt}} < p_{\text{atr.}}$, $d_{\text{atr.}}$ signalo lygis nustatomas aukštas, kas reiškia kad vis dar atliekamas funkcinio bloko testavimas. Baigus testavimą, suskaičiuoti impulsai palyginami su anksčiau nustatytomis ribomis, bei jeigu suskaičiuotų signalų skaičius yra mažesnis už $p_{\text{ap.}}$ ar didesnis už $p_{\text{virš.}}$, nustatomas parametrinis defektas ir savitestavimo sistema $d_{\text{par.klaida}}$ išėjime nustato aukštą signalo lygį. Kitu atveju, jeigu suskaičiuotų signalų skaičius patenka į anksčiau nustatytas ribas, nustatomas žemas $d_{\text{par.klaida}}$ išėjimo lygis.

Verta paminėti, kad kiekvienam funkciniam blokui palyginimo ribos nustatomos atskirai ir atsižvelgiama į siųstuvo-imtuvo reikalavimus. Pavyzdžiui, reikalavimai filtrų stiprinimo, fazės postūmio, ribinio dažnio tikslumui yra žemesni LTE, 802.11g duomenų perdavimo standartams, naudojantiems 16 QAM moduliacijos schemą palyginus su LTE-Advanced, WiMAX bei IEEE 802.11ac ir ax standartai, kuriose naudojamos moduliacijos schemos nuo 64 QAM iki 1024 QAM.

2.8 pav. Savitestavimo sistemos veikimo algoritmas

Fig. 2.8. The operation algorithm of the proposed OBIST system

Valdymo sistemos d_{start} išvadas yra skirtas testavimo sistemos įjungimui. Savitestavimo sistema gali būti valdoma luste esančio arba išorinio duomenų apdorojimo įtaiso, taip pat, vienu metu galima valdyti kelias arba visas savitestavimo sistemas. Išėjimo signalas d_{start} įjungia arba išjungia perjungiamuosius raktus bei perduoda signalą apie testo pradžią pagrindiniam duomenų apdorojimo įtaisui.

2.3. Integrinių filtrų savaiminio derinimosi sistemos projektavimo metodika

Šiuo metu yra naudojama eilė skirtingų ŽDF savaiminio derinimo sistemų. Siūloma vėlinimo derinimo kilpos (Kladovščikov 2015, Oshima *et al.* 2004, Kiela *et al.* 2016, Kiela 2017) sistema su reversiniais skaitikliais tiksliam suderinimui pateikta 2.9 paveiksle.

2.9 pav. Siūlomos saviderinimosi sistemos schema
Fig. 2.9. Structure of active-RC filter self-tuning circuit

ŽDF derinimo sistemą sudaro signalų formavimo blokas, derinimo grandinė, komparatorius, D tipo trigeris, valdymo blokas. Signalų formavimo blokas dalina atraminio dažnio signalą iš 4 ir 8, bei formuoja valdymo signalą trigeriui. Derinimo grandinę sudaro derinimo filtras (2.10 pav.) ir derinimo įtampos daliklis (2.11 pav.). Naudojamas pirmos eilės derinimo filtras, sudarytas iš pasyviųjų elementų – rezistoriaus ir kondensatoriaus (Kiela *et al.* 2016). Kadangi IG gamybos metu tuo paties proceso metu suformuotų struktūrų santykinė paklaida mažėja, mažėjant atstumui tarp struktūrų, daroma prielaida, kad derinimo grandinė turi būti centruota pagrindinio ŽDF atžvilgiu, taip kuo labiau sumažinant santykinę

paklaidą tarp jų. Didesnio valdymui skirto atraminio dažnio naudojimas pasiekiamas naudojant inverterį greitam kondensatoriaus iškrovimui. Derinimo įtapos daliklį sudaro dvi derinimo rezistorių matricos.

2.10 pav. Derinimo filtro schema

Fig. 2.10. Tuning filter circuit

2.11. Derinimo įtamos daliklio schema

Fig. 2.11. Tuning voltage divider circuit

Siūloma naudoti lygiagrečias perjungiamų rezistorių matricas (LPRM, 2.12 pav.). LPRM, skirtingai nei nuosekliai sujungtų rezistorių matricos, leidžia tiksliau keisti matricos varžą, eliminuojant valdymo tranzistorių kanalų varžas, kartu sumažinant bloko neapibrėžtį.

Siūlomas LPRM projektavimo metodas. Bendra LPRM varža sudaryta iš eilės lygiagrečiai sujungtų varžų ir tranzistorių:

$$R = \frac{1}{\frac{1}{R_{\text{fiks.}}} + d_{n-1} \frac{1}{2^{n-1} R_0 + R_{\text{MOP}}} + \dots + d_1 \frac{1}{2^1 R_0 + R_{\text{MOP}}} + d_0 \frac{1}{R_0 + R_{\text{MOP}}}}, \quad (2.11)$$

čia $R_{\text{fiks.}}$ – fiksuoto rezistoriaus varža, R_0 – žemiausios skilties varža, R_{MOP} – tranzistoriaus kanalo varža.

2.12 pav. Lygiagrečiai perjungiamų rezistorių matricos schema
Fig. 2.12. Digitally controllable parallel resistors bank

Ilgą kanalą tranzistoriams kanalo varža apskaičiuojama pagal:

$$R_{\text{MOP}} = \frac{L}{\mu_n C_{\text{oks}} W \left(U_{\text{UI}} - U_{\text{SI}} - \frac{U_{\text{SI}}}{2} \right)}, \quad (2.12)$$

čia W – tranzistoriaus kanalo plotis, μ_n – NMOP tranzistoriaus krūvininkų judris, L – tranzistoriaus kanalo ilgis, U_{UI} – įtampa tarp užtūros-ištakos kontaktų, U_{SI} – įtampa tarp santakos-ištakos kontaktų.

Matoma, kad varža priklauso nuo tranzistoriaus matmenų ir jį veikiančios įtampos. Siekiama kuo labiau suamžinti tranzistoriaus kanalo varžą, tačiau pasiekus tam tikrus matmenis, tranzistoriaus parazitinė talpą įneša papildomą paklaidą, tad siekiama surasti kompromisą tarp šių parametų.

Fiksuoto rezistoriaus varža nurodo žemiausią derinimo tašką, priklausomai nuo reikalaujamo derinimo diapazono:

$$R_{\text{fiks.}} = R_{\text{RC}} \frac{1}{1 - \Delta\omega}, \quad (2.13)$$

čia R_{RC} – norima ŽDF varža, $\Delta\omega$ – dažnio derinimo diapazonas.

Toliau apskaičiuojama žemiausios skilties varža:

$$R_0 = \frac{R_{\text{fiks.}} \cdot R_{\text{min}}}{R_{\text{fiks.}} - R_{\text{min}}} (2^n - 1) - R_{\text{MOP}}. \quad (2.14)$$

2.13 pav. Siūlomos derinimo sistemos algoritmas

Fig. 2.13. Proposed delay locked loop self-tuning system algorithm

Likusios PRM varžos apskaičiuojamos pagal:

$$R_{[n:1]} = \frac{R_0 + R_{\text{MOP}}}{2^n}. \quad (2.15)$$

Mažiausia LPRM varža apskaičiuojama pagal:

$$R_{\min} = R_{\text{RC}} \frac{1}{1 + \Delta\omega}. \quad (2.16)$$

Paprastai, ŽDF ribinio dažnio paklaida neviršija vidutinės kvadratinės ją sudarančių elementų paklaidos:

$$\Delta\omega_c = \sqrt{\Delta R^2 + \Delta C^2}, \quad (2.17)$$

čia ΔR – varžų paklaida, ΔC – kondensatorių paklaida.

2.13 paveiksle pateiktas siūlomos derinimo sistemos algoritmas. Pirmiausia derinamas ŽDF ribinis dažnis. Kiekvieno derinimo ciklo metu tikrinamas RC filtro fronto kilimo laikas su atraminiais signalu, priklausomai nuo gauto rezultato mažinama ar didinama LPRM varža. Suderinus ribinį dažnį, derinamas ŽDF PDJ stiprinimas. Stiprinimas derinamas lyginant derinimo įtampos daliklio išėjimo įtampą ir atraminę įtampą. Valdymo schema abiem derinimo žingsniams vienoda. Derinimas atliekamas kol abu parametrai – ribinis dažnis ir PDJ stiprinimas nesusderinami iki reikiamo tikslumo.

2.4. Antrojo skyriaus išvados

1. Sukurta nauja integrinių filtrų savitestavimo sistemos struktūra, kurią naudojant aptinkamos kritinės ir parametrinės klaidos testuojamame grandyne ir pasiūlytas savitestavimo sistemos projektavimo būdas, leidžiantis apskaičiuoti savitestavimo sistemos blokų vertes, kai žinomas testuojamo grandyno generuojamų signalų dažnis, o skaitmeninis savitestavimo sistemos valdymas dinamiškai keičia testavimo ribas priklausomai nuo lustui keliamų reikalavimų.
2. Sudarytas savitestavimo sistemos veikimo algoritmas, numatantis testuojamo grandyno klaidų, parametrinių ir kritinių, atpažinimą. Sistema naudoja 64 taktų testavimo sekos pradžios uždelimą, kurio metu tikrinama, ar testuojamas grandynas generuoja signalą, taip identifikuojant kritinę klaidą grandyne.

3. Sukurta integrinių filtrų savaiminio derinimosi sistemos struktūra, tinkanti integrinių filtrų ribinio dažnio bei išėjimo signalo stiprinimo derinimui, bei pasiūlytas būdas lygiagrečiai sujungtų valdymo matricių komponentų verčių parinkimui, kai žinomas reikalaujamas varžos nustatymo tikslumas bei ribinio dažnio ir stiprinimo koregavimo ribos.
4. Sudarytas savaiminio derinimosi sistemos algoritmas, numatantis pažingsninį integrinio filtro ribinio dažnio ir išėjimo signalo stiprinimo derinimą iki derinimo grandyno skaitiklio žemiausios skilties ribų, užtikrinant nepertraukiamą derinimą kintant aplinkos temperatūrai.

Siųstuvų-imtuvų integrinių filtrų savitestavimo sistemos kūrimas ir tyrimas

Pasinaudojus sukurtu integrinių filtrų savitestavimo sistemos modeliu ir jo elementų parinkimo taisyklėmis, sukurta ir ištirta savitestavimo sistema. Savitestavimo sistemos veikimo patikrinimui panaudoti skirtingų struktūrų ir eilės integriniai filtrai. Tyrimai atliekami naudojant kompiuterinių skaičiavimų metodą.

Skyriaus tematika paskelbtas trys moksliniai straipsniai (Kladovscikov, Navickas 2017, Kladovscikov, Navickas 2019, Kaldovscikov, Jurgo, Navickas 2019). Skyriaus tematika skaityti du pranešimai tarptautinėse užsienio konferencijose (Kladovscikov, Navickas 2017, Kladovscikov, Navickas 2019).

3.1. Integrinių filtrų savitestavimo sistemos blokų kūrimas

Savitestavimo sistemos naudojamos kai norima patikrinti jau pagaminto lusto tinkamumą nustatytiems reikalavimams. Vidinės savitestavimo sistemos patikrina pagrindinius lusto blokus ir išduoda reikalingą informaciją apie luste esančius

įtaisus bei gamybos broką. Šių sistemų pagalba galima nustatyti atsiradusius kritinius ir parametrinius lusto defektus, kurie atsirado viename iš KMOP gamybos žingsnių. Kritiniai defektai yra dažniausiai pasitaikantys bei apima 80–90 % visų KMOP gamybos proceso defektų. Šie defektai lengvai aptinkami.

Tuo tarpu parametrinių defektų aptikimui reikalingi sudėtingesnės testavimo sistemos. Parametriniai defektai apima visų pasyviųjų komponentų verčių bei tranzistorių parametrų, tokių kaip užtūros oksido storis, įterptų priemaišų koncentracija, kaukės sutapdinimas, svyravimus. Tokie defektai aptinkami naudojant sudėtingas sistemas su iš anksto žinomais generuojamais signalais bei numatomu atsaku tikrinamo grandyno išėjime. Sudėtingos sistemos neretai užima didelį integrinio lusto plotą, kas padidina gaminamo lusto kainą, taip pat sudėtingėja lusto projektavimas.

Kitas parametrinių klaidų savitestavimo būdas – signalų generavimu paremtas atskirų grandyno blokų testavimas. Šio metodo esmė – suskirstyti grandyną į mažesnes dalis, tokias kaip pirmos ar antro eilės filtras, trigeriai, komparatoriai, operaciniai stiprintuvai, bei juos paversti signalų generatoriumi, kurio generuojamų signalų dažnis žinomas ir apskaičiuojamas grandyno projektavimo metu. Dėl KMOP gamybos proceso netolydumo pasyviųjų ir aktyviųjų komponentų parametrai kinta, kartu keičiant ir tikrinamojo įtaiso generuojamų signalų dažnį. Generuojamų signalų kitimas nėra tiesiogiai susietas su komponentų parametrų svyravimais, tačiau atsiradę svyravimai parodo pakankamą informaciją, reikalingą parametrinių klaidų aptikimui. Kitų autorių darbuose, panaši sistema buvo įgyvendinta testuojant žemo ribinio dažnio žemų dažnių filtrus, surinktus iš diskrečių elementų, tačiau integrinių lustų savitestavimo sistemos nėra ištirtos. Testuojant skaitmeninius grandynus, dažnai naudojamos klaidų lentelės, tačiau analoginėse sistemose šis būdas yra sunkiai pritaikomas dėl ypač didelės įtaiso išėjimo signalo kaitos priklausomai nuo komponentų variacijų, taip pat šis būdas nėra universalus – pritaikymas skirtingiems grandynams reikalauja projektavimo metu pilnai ištestuoti visas galimas išėjimo signalo kombinacijas.

Pasiūlytos savitestavimo sistemos skaičiavimai atlikti 0,18 KMOP gamybos technologijoje. Laikiniai ir Monte-Carlo skaičiavimai panaudoti funkcinių blokų ir savitestavimo sistemos tyrimui. Skaičiavimai atlikti naudojant tipinius tranzistorių modelius, 27 °C temperatūroje, 1,8 V įtampos maitinimą. Kaip funkciniai blokai, pasirinktos trys skirtingos antros eilės ŽDF struktūros: Sallen-Key, Akerberg-Mossberg ir Tow-Tomas, kadangi šių filtrų struktūros dažniausiai naudojamos šiuolaikiniuose siūstuvuose-imtuvuose ir jų perdavimo funkcijos skiriasi. Principinės elektrinės naudojamų ŽDF pateiktos 3.1–3.3 paveiksluose. Perdavimo funkcijos naudojamiems filtrams pateiktos (3.1)–(3.3). Naudojamas dviejų pakopų operacinis stiprintuvas su Milerio kompensacijos schema, kurio principinė elektrinė schema pateikta 3.4 paveiksle.

3.1 pav. Antros eilės Sallen-Key struktūros žemųjų dažnių filtras
Fig. 3.1. Structure of the second order Sallen-Key low pass filter

3.2 pav. Antros eilės Akerberg-Mossberg struktūros žemųjų dažnių filtras
Fig. 3.2. Structure of the second order Akerberg-Mossberg low pass filter

Grižtamojo ryšio grandinė sudaryta iš dviejų integrinių perjungiamų raktų bei inventoriaus, o jos schema pateikta 3.5 paveiksle. Inventoriaus naudojimas grįžtamojo ryšio grandinėje perstumia signalo fazę per -180 laipsnių, kas leidžia žemųjų dažnių filtrui generuoti signalus.

3.3 pav. Antros eilės Tow-Thomas struktūros žemųjų dažnių filtras
Fig. 3.3. Structure of the second order Tow-Thomas low pass filter

$$H_{SK}(s) = \frac{\left(1 + \frac{R_4}{R_3}\right) \frac{1}{C_1 C_2 R_1 R_2}}{s^2 + s \left(\frac{1}{C_1 R_1} + \frac{1}{C_1 R_2} + \frac{R_4}{C_2 R_2 R_3} \right) + \frac{1}{C_1 C_2 R_1 R_2}}; \quad (3.1)$$

$$H_{AM}(s) = \frac{-\frac{R_6}{C_1 C_2 R_1 R_3 R_5}}{s^2 + \frac{s}{R_2 C_1} + \frac{R_6}{C_1 C_2 R_3 R_4 R_5}}; \quad (3.2)$$

$$H_{TT}(s) = -\frac{\frac{R_6}{C_1 C_2 R_1 R_4 R_5}}{s^2 + \frac{s}{C_1 R_2} + \frac{R_6}{C_1 C_2 R_3 R_4 R_5}}. \quad (3.3)$$

čia $H_{SK}(s)$ – antros eilės Sallen-Key struktūros ŽDF perdavimo funkcija, $H_{AM}(s)$ – antros eilės Akerberg-Mossberg struktūros ŽDF perdavimo funkcija, $H_{TT}(s)$ – antros eilės Tow-Thomas struktūros ŽDF perdavimo funkcija, C_1, C_2, R_1-R_6 – talpos ir varžos atitinkančios 3.1–3.3 paveikslų komponentus C_1, C_2, R_1-R_6 .

3.4 pav. Dviejų pakopų operacinio stiprintuvo principinė elektrinė schema
Fig. 3.4. Schematic of two-stage operational amplifier

3.5 pav. Grįžtamojo ryšio grandinės principinė elektrinė schema
Fig. 3.5. Schematic of feedback circuit

3.2. Integrinių filtrų savitestavimo sistemos blokų tyrimas

Savitestavimo sistemos patikimumui užtikrinti yra atliekamas testavimo grandinės įtakos generuojamų signalų dažniui, kritinių defektų aptinkimui ir parametrinų defektų neaptinkamui nustatyti. Naudojamoje savitestavimo sistemoje yra naudojami aukšto stiprinimo inverteris ir perjungiamieji raktai. Pagrindiniai tikrinami parametrai: perjungiamųjų rezistorių varža priklausomai nuo naudojamų tranzistorių pločio, funkcinio bloko generuojamų signalų dažnis priklausomai nuo invertoriaus tranzistorių pločio, funkcinio bloko generuojamų signalų dažnis prik-

lausomai nuo perjungiamųjų raktų tranzistorių pločio. Taip pat, nustatoma invertoriaus tranzistorių pločio įtaka generuojamų signalų dažnio variacijoms. Tyrimų metu, NMOP ir PMOP tranzistorių kanalų ilgis nustatytas $L = 180$ nm, NMOP tranzistoriaus plotis $W_{\text{NMOP}} = 250$ nm, PMOP tranzistoriaus plotis $W_{\text{PMOP}} = 500$ nm. Tranzistorių dydis keičiamas didinant lygiagrečių tranzistorių skaičių M .

Perjungiamieji raktai yra sudaryti iš NMOP ir PMOP tranzistorių ir vidinio invertoriaus tranzistorių valdymui. Perjungiamųjų raktų varžos priklausomybė nuo tranzistorių pločio pateikta 3.6 paveiksle. Matoma, kad esant minimaliam tranzistorių pločiui ($M = 1$), perjungiamojo rakto varža lygi $7,86$ k Ω . Esant maksimaliam tranzistorių pločiui ($M = 100$), perjungiamojo rakto varža lygi 80 Ω . Pastebėtina, kad esant tranzistorių dydžiui $M = 20$, perjungiamojo rakto varža kinta nežymiai.

3.6 pav. Perjungiamųjų raktų varžos priklausomybė nuo tranzistorių pločio

Fig. 3.6. Dependency of the resistance of the transmission gate on the transistors' size

Funkcinio bloko generuojamų signalų dažnio priklausomybė nuo invertoriaus ir perjungiamųjų raktų tranzistorių dydžio skirtingoms ŽDF struktūroms pateiktas 3.7 paveiksle. Matoma, kad Sallen-Key ŽDF struktūrai minimalus generuojamas signalų dažnis yra kai $M_{IV} = 1$ ir $M_{TG} = 18$ bei lygus $18,27$ MHz, kai didžiausias generuojamas signalų dažnis yra prie maksimalių tranzistorių dydžių $M_{IV} = M_{TG} = 100$ ir yra lygus $37,85$ MHz. Naudojant Akerberg-Mossberg ŽDF struktūrą, minimalus generuojamų signalų dažnis yra kai $M_{IV} = 6$, $M_{TG} = 44$ ir yra lygus $26,17$ MHz. Naudojant Tow-Thomas ŽDF struktūrą, minimalus generuojamų signalų dažnis yra kai $M_{IV} = 4$, $M_{TG} = 76$ ir yra lygus $26,32$ MHz. Maksimalus generuojamų signalų dažnis Akerberg-Mossberg ir Tow-Thomas ŽDF struktūroms yra kai $M_{IV} = 12$, $M_{TG} = 6$ ir yra atitinkamai lygus $28,57$ MHz ir

27,18 MHz. Tolimesnis invertoriaus ir perjungiamų raktų tranzistorių pločio didinimas sumažina generuojamų signalų dažnį dėl didėjančios grandinės apkrovos.

3.7 pav. Funkcinio bloko generuojamo signalo dažnio priklausomybė nuo grįžtamojo ryšio invertoriaus ir perjungiamųjų raktų tranzistorių dydžio ŽDF struktūroms:

a) Sallen-Key; b) Akerberg-Mossberg; c) Tow-Thomas

Fig. 3.7. Dependency of the CUT's oscillation frequency on the size of the transmission gate and inverter: a) Sallen-Key; b) Akerberg-Mossberg; c) Tow-Thomas

Kadangi ne tik funkcinis blokas yra įtakojamas KMOP gamybos proceso netolygumų, tikslinga ištirti grįžtamojo ryšio grandinės jautrumą proceso variacijoms. Tyrimai atliekami keičiant inventoriaus ir perjungiamųjų raktų tranzistorių plotį naudojant Monte-Carlo skaičiavimus.

Funkcinio bloko generuojamų signalų dažnio ir jų variacijos priklausomai nuo inventoriaus tranzistorių pločio, kai $M_{TG} = 16$, yra pateikti 3.8 paveiksle. Tranzistorių plotis keičiamas nuo $M_{IV} = 4$ iki $M_{IV} = 100$. Matoma, kad generuojamų signalų dažnio variacijos yra mažiausios kai $M_{IV} = 28$ ir jos kinta nuo 0,08 % Akerberg-Mossberg ir Tow-Thomas struktūrų filtrams iki 0,13 % Sallen-Key struktūros filtrui.

Funkcinio bloko generuojamų signalų dažnio ir jų variacijos priklausomai nuo perjungiamųjų raktų tranzistorių pločio, kai $M_{IV} = 28$, pateikti 3.9 paveiksle. Tranzistorių plotis keičiamas nuo $M_{TG} = 2$ iki $M_{TG} = 100$. Matoma, kad generuojamų signalų dažnio variacijos yra mažiausios kai $M_{TG} = 16$ ir jos kinta nuo 0,08 % Akerberg-Mossberg ir Tow-Thomas struktūrų filtrams iki 0,13 % Sallen-Key struktūros filtrui. Varta paminėti, kad didinat perjungiamųjų raktų tranzistorių plotį, generuojamų signalų dažnio variacijos nuosekliai didėja, tad optimalus tranzistorių dydis, atsižvelgiant į dažnio variacijas yra $M_{IV} = 28$ ir $M_{TG} = 16$.

Papildomai, kiekviena ŽDF struktūra ištirta atsižvelgiant į grįžtamojo ryšio inventoriaus ir perjungiamųjų raktų įnešamą generuojamų signalo dažnio paklaidą, bei tyrimo rezultatai pateikiami 3.10 paveiksle ir 3.1 lentelėje.

Siūloma savitestavimo sistema yra ištirta kritinių defektų aptikimui. Kritiniai defektai – visi defektai, atsiradę KMOP gamybos metu ir apima visus integrinių takelių užtrumpinimus ar nutraukimus. Tiriant savitestavimo sistemą, užtrumpinimo imitavimui buvo panaudoti 10 Ω , 100 Ω ir 1000 Ω rezistoriai, kurie buvo prijungti tarp artimiausių komponentų, tranzistorių, rezistorių ir kondensatorių) išvadų. Kaip atviri kontaktai buvo imituojama 10 M Ω varža, prijungta tarp artimiausių komponentų. Kritinių defektų modelis pateiktas 3.11 paveiksle ir atitinka realių integrinių grandynų gamybos defektų atvejus.

Laikiniai skaičiavimai atlikti siekiant nustatyti kritinių defektų aptikimo tikimybę bei rezultatai pateikti 3.2 lentelėje. Verta paminėti, kad tiek $d_{kr.klaida}$, tiek $d_{par.klaida}$ savitestavimo sistemos išvadai turi būti patikrinti siekiant nustatyti grandinėje atsiradusius defektus, kadangi atskirais atvejais kritiniai defektai mažai įtakoja generuojamų signalų dažnį ir gali būti atpažinti kaip parametriniai defektai.

3.8 pav. Didžiausių funkcinio bloko generuojamų signalų dažnio ir jo variacijų priklausomybė nuo grįžtamojo ryšio invertoriaus tranzistorių dydžio filtrų struktūroms, kai $M_{TG} = 16$: a) Sallen-Key; b) Akerberg-Mossberg; c) Tow-Thomas

Fig. 3.8. Variations of the dependency of the maximum CUT's oscillation frequency on the size of the feedback inverter, when $M_{TG} = 16$: a) Sallen-Key; b) Akerberg-Mossberg; c) Tow-Thomas

a)

b)

c)

3.9 pav. Didžiausių funkcinio bloko generuojamų signalų dažnio ir jo variacijų priklausomybė nuo grįžamojo ryšio perjungiamųjų raktų tranzistorių dydžio filtrų struktūroms, kai $M_{IV} = 28$: a) Sallen-Key; b) Akerberg-Mossberg; c) Tow-Thomas

Fig. 3.9. Variations of the dependency of the maximum CUT's oscillation frequency on the size of the transmission gate, when $M_{IV} = 28$: a) Sallen-Key; b) Akerberg-Mossberg; c) Tow-Thomas

a)

b)

c)

3.10 pav. Didžiausio funkcinio bloko generuojamų signalų dažnio variacijos filtro struktūroms, kai $M_{TG} = 16$, $M_{IV} = 28$: a) Sallen-Key; b) Akerberg-Mossberg; c) Tow-Thomas

Fig. 3.10. Variations of the maximum oscillation frequency for the filter structures when $M_{TG} = 16$, $M_{IV} = 28$: a) Sallen-Key; b) Akerberg-Mossberg; c) Tow-Thomas

3.1 lentelė. Funkcinio bloko generuojamų signalų dažnių variacijos**Table 3.1.** Variations of the circuit under test oscillation frequency

Filtro struktūra	Mažiausias generuojamas dažnis f_{osc_min} , MHz	Tipinis generuojamas dažnis f_{osc_c} , MHz	Didžiausias generuojamas dažnis f_{osc_max} , MHz	Generuojamo dažnio variacijos, Δf_{osc} , %	Standartinis nuokrypis δ , kHz
Sallen-Key	36,759	36,806	36,853	0,13	16,697
Akerberg-Mossberg	27,663	27,687	27,710	0,08	7,816
Tow-Thomas	26,358	26,378	26,398	0,08	7,524

3.11 pav. Kritinių klaidų modeliai: a) MOP tranzistoriui; b) rezistoriui; c) kondensatoriui**Fig. 3.11.** Short and open fault models for: a) MOS transistor; b) resistor; c) capacitor

Integriniame grandyne užtrumpinti kontaktai parenkami pagal artimiausią galimą elementų išdėliojimą fiziniame luste, taip modeliuojant labiausiai tikėtina atsirandančias kritines klaidas.

3.2 lentelė. Kritinių klaidų funkciname bloke aptinkimo rezultatai**Table 3.2.** Catastrophic fault coverage in CUT

Grandinė	Užtrumpintų kontaktų aptikimas				Atvirų kontaktų aptikimas	
	Įterpta	Aptikta			Įterpta	Aptikta
		R = 10 Ω	R = 100 Ω	R = 1 kΩ		R = 10 MΩ
Sallen-Key filtras						
OS	26	26 (100 %)	26 (100 %)	25 (96 %)	24	23 (96 %)
Aukščiausias lygis	6	6 (100 %)	6 (100 %)	6 (100 %)	6	6 (100 %)
Viso	32	32 (100 %)	32 (100 %)	31 (97 %)	30	29 (97 %)
Akerberg-Mossberg filtras						
OS	81	78 (96 %)	78 (96 %)	79 (98 %)	72	72 (100 %)
Aukščiausias lygis	8	8 (100 %)	8 (100 %)	8 (100 %)	8	8 (100 %)
Viso	89	86 (97 %)	86 (97 %)	87 (98 %)	80	80 (100 %)
Tow-Thomas filtras						
OS	81	78 (96 %)	78 (96 %)	78 (96 %)	72	72 (100 %)
Aukščiausias lygis	8	8 (100 %)	8 (100 %)	8 (100 %)	8	8 (100 %)
Viso	89	86 (97 %)	86 (97 %)	86 (97 %)	80	80 (100 %)

Iš 3.2 lentelės matoma, kad kritinių defektų aptikimas visoms ŽDF struktūroms yra ne mažesnis nei 96 %. Geriausias kritinių defektų aptikimas Sallen-Key struktūros filtrui yra kai yra imituojamas trumpas jungimas prijungiant 10 Ω ir 100 Ω varžas bei siekia 100 %, kai prijungus 1 k Ω varžą – 97 %. Akerberg-Mossberg ir Tow-Thomas ŽDF atveju visi grandinės nutraukimai yra aptinkami. Trumpojo jungimo imitavimo metu, abiejų ŽDF struktūrų aptikimas yra panašus išskyrus 1 k Ω varžos prijungimo atvejį Tow-Thomas filtrui, o bendras kritinių klaidų aptikimas yra ne mažesnis nei 97 %.

Laikiniai ir Monte-Carlo skaičiavimai panaudoti parametrinių defektų aptikimo riboms nustatyti. Parametriniai defektai – visų pasyviųjų komponentų verčių nuokrypiai nuo nominalių. Pasyviųjų komponentų verčių variacijų ribos nustatomos taikant Monte-Carlo skaičiavimus ir pateiktos 3.12 paveiksle. Iš 3.12 pav. matoma, kad naudojamos KMOP technologijos kondensatorių variacijos siekia iki 16 %, kai rezistorių – 17 %, tačiau naudojamos maksimalios pasyviųjų komponentų variacijos 20 %. Verta paminėti, kad aukščiausias schemas lygmuo šiuo atveju yra atskirų komponentų – rezistorių ir operacinių stiprintuvų sujungimo lygmuo, kurio schemas pateiktos 3.1–3.3 paveiksluose.

3.12 pav. Proceso ir sutapdinimo netolydumų įtaka pasyviems komponentams:

a) kondensatoriams; b) rezistoriams

Fig. 3.12. Process and mismatch variations of components used in CUT:

a) capacitors; b) resistors

Pasyviųjų komponentų parametrinių defektų neaptikimo ribos kiekvienai ŽDF struktūrai pateiktos 3.2 lentelėje. Matoma, kad generuojamų signalų dažnio variacijos Sallen-Key struktūros ŽDF gali siekti iki -13,95 % – 17,90 % tačiau

tokių defektų neaptikimo ribos neviršija $-0,74\%$ – $0,72\%$ R2 varžai ir yra mažiausios $-0,17\%$ – $0,16\%$ atsiradus parametriniam defektui C2 kondensatoriuje. Akerberg-Mossberg struktūros ŽDF parametrinių defektų neaptikimo ribos siekia iki $-3,31\%$ – $1,00\%$ R4 varžai ir yra mažiausios $-0,21\%$ – $0,08\%$ C1 kondensatoriui. Tow-Thomas filtro ŽDF parametrinių defektų neaptikimo ribos siekia iki $-2,39$ – $1,44\%$ R1 varžai ir yra mažiausios $-0,11\%$ – $0,25\%$ R2 varžai.

Siekiant nustatyti, kokią įtaką turi parametrinių defektų neaptikimo riba ŽDF parametrams, tokiems kaip ribinis dažnis ar išėjimo signalo stiprinias, atliktas kiekvieno komponento verčių keitimo imitavimas bei nustatytos variacijų ribos. Sallen-Key ŽDF atveju, maksimali neaptinkama ribinio dažnio paklaida siekia iki $0,5\%$, o stiprinimo – iki $0,1\%$, kas leidžia naudoti filtrą IEEE 802.11 ac ir ax standartuose taikant 256 QAM ir aukštesnes moduliacijos schemas atsižvelgiant tik į paminėtų parametrų įtaką. Akerberg-Mossberg ŽDF atveju, maksimali ribinio dažnio ir stiprinimo neaptikimo riba siekia iki $2,1\%$, kai Tow-Thomas filtro neaptikimo riba siekia iki $0,7\%$ abiem parametrams, kas leidžia filtrą naudoti IEEE 802.11ac standartui taikant 256 QAM moduliacijos schemą. Tinkamumas naudoti filtrus yra nustatytas atsižvelgiant į kiekvieno standarto leidžiamą klaidos vektoriaus amplitudės reikšmę.

Siauros parametrinių defektų neaptikimo ribos pasiekiamos naudojant KMOP gamybos netolydumams atsparią grįžtamojo ryšio grandinę ir didelio skiltiškumo skaitiklį bei dvigubą komparatorių. Verta paminėti kad kitų autorių darbai remiasi vieno iš komponentų verčių keitimu testavimo metu, tačiau toks būdas neužtikrina testavimo rezultatų patikimumo nemodifikuotam funkciniam blokui. Sallen-Key filtro generuojamų signalų dažnio variacijos priklausomai nuo kiekvieno pasyvaus komponento verčių svyravimo pateiktas 3.13 paveiksle. 3.13a ir 3.13b paveiksluose yra pavaizduoti Sallen-Key struktūros integrinio filtro generuojamų signalų dažniai priklausomai nuo parametrų verčių. Kondensatoriaus C1 talpos variacijos įtaka generuojamų signalų dažniui yra apie $3,83\text{ kHz/ff}$ o savitestavimo sistemos parametrinių klaidų neaptinkamumo riba yra nuo $1,810296\text{ pF}$ iki $1,834837\text{ pF}$. Atitinkamai kondensatoriaus C2 talpos variacijos įtaka $20,47\text{ kHz/ff}$ o savitestavimo sistemos parametrinių klaidų neaptinkamumo riba yra nuo $1,38867\text{ pF}$ iki $1,39326\text{ pF}$. Rezistorių R1-R4 varžų variacijos įtaka generuojamų signalų dažniui svyruoja nuo $0,645161\text{ Hz}/\Omega$ iki $1,551155\text{ Hz}/\Omega$. Matavimų rezultatai kiekvienai ištirtai integrinių filtrų struktūrai pateikti 3.3 lentelėje, bei matoma, kad naudojant savitestavimo sistemą Sallen-Key struktūros integrinio filtro testavimui, parametrinių klaidų aptikimo riba neviršija $-0,74 / 0,72\%$ R2 rezistoriui bei siekia iki $-0,17 / 0,16\%$ C2 kondensatoriui. Tuo tarpu Akerberg-Mossberg bei Tow-Thomas struktūrų parametrinių klaidų aptikimo ribos yra platesnės, atitinkamai siekia iki $-3,31 / 1,00\%$ Akerberg-Mossberg struktūros R4 rezistoriui bei $-2,39 / 1,44\%$ Tow-Thomas struktūros R1 rezistoriui.

3.13 pav. Funkcinio bloko generuojamų signalų dažnio priklausomybės nuo pasyviųjų komponentų elementų variacijų: a) kondensatoriaus C1; b) kondensatoriaus C2; c) rezistoriaus R1; d) rezistoriaus R2; e) rezistoriaus R3; f) rezistoriaus R4

Fig. 3.13. The dependencies of the oscillation frequency of the Sallen-Key filter configured as an oscillator on variations of the passive components: a) capacitor C1; b) capacitor C2; c) resistor R1; d) resistor R2; e) resistor R3; f) resistor R4

3.3 lentelė. Parametrinių defektų neaptikimo ribos**Table 3.3.** Undetectable limits of the parametric faults

Komponentas (vardinė vertė)	Generuo- jamų sig- nalo dažnio variacijos $\Delta f_{osc} / f_{osc}$, %	Žemiausia / didžiau- sia aptin- kama reikšmė	Parametri- nių defektų neaptikimo ribos, %	ŽDF ribi- nio dažnio variacija Δf_c , %	ŽDF stip- rinimo va- riacija ΔA , %
Sallen-Key filtras					
C1 (1,821 pF)	-5,52 / 2,39	1,810 / 1,835 pF	-0,59 / 0,76	0,9	0,0
C2 (1,391 pF)	-13,95 / 17,90	1,389 / 1,393 pF	-0,17 / 0,16	0,0	0,0
R1 (10 kΩ)	-5,57 / 7,28	9,958 / 10,041 kΩ	-0,52 / 0,41	0,0	0,0
R2 (10 kΩ)	-2,92 / 3,93	9,926 / 10,072 kΩ	-0,74 / 0,72	0,5	0,0
R3 (10 kΩ)	-10,60 / 7,28	9,973 / 10,033 kΩ	-0,27 / 0,33	0,2	0,2
R4 (10 kΩ)	-8,37 / 8,56	9,968 / 10,029 kΩ	-0,32 / 0,29	0,2	0,2
Akerberg-Mossberg filtras					
C1 (1,592 pF)	-7,64 / 9,40	1,588 / 1,593 pF	-0,21 / 0,08	0,0	0,0
C2 (1,592 pF)	-0,49 / 0,47	1,575 / 1,626 pF	-1,06 / 2,11	1,4	0,0
R1 (10 kΩ)	-1,69 / 0,77	9,931 / 10,163 kΩ	-0,69 / 1,63	0,0	1,2
R2 (7,071 kΩ)	-8,09 / 10,52	7,056 / 7,075 kΩ	-0,19 / 0,07	0,1	0,0
R3 (10 kΩ)	-0,57 / 0,44	9,905 / 10,287 kΩ	-0,95 / 2,87	1,7	0,0
R4 (10 kΩ)	-0,42 / 0,55	9,669 / 10,100 kΩ	-3,31 / 1,00	2,1	2,1

3.3 lentelės pabaiga

Komponentas (vardinė vertė)	Generuo- jamų sig- nalo dažnio variacijos $\Delta f_{osc} / f_{osc}$, %	Žemiausia / didžiau- sia aptin- kama reikšmė	Parametri- nių defektų neaptikimo ribos, %	ŽDF ribi- nio dažnio variacija Δf_c , %	ŽDF stip- rinimo va- riacija ΔA , %
Akerberg-Mossberg filtras					
R5 (10 k Ω)	-5,30 / 4,19	9,985 /10,040 k Ω	-0,15 / 0,40	0,3	0,3
R6 (10 k Ω)	-4,18 / 4,94	9,960 /10,015 k Ω	-0,40 / 0,15	0,9	0,3
Tow-Thomas filtras					
C1 (1,592 pF)	-7,49 / 9,76	1,590 /1,597 pF	-0,14 / 0,34	0,1	0,0
C2 (1,592 pF)	-1,53 / 1,14	1,561 /1,612 pF	-1,96 / 1,27	1,9	0,0
R1 (10 k Ω)	-1,53 / 0,75	9,761 /10,144 k Ω	-2,39 / 1,44	0,0	1,9
R2 (7,071 k Ω)	-9,84 / 12,90	7,062 /7,088 k Ω	-0,11 / 0,25	0,2	0,0
R3 (10 k Ω)	-1,84 / 1,45	9,859 /10,095 k Ω	-1,41 / 0,95	1,4	0,0
R4 (10 k Ω)	-1,84 / 1,29	9,819 /10,082 k Ω	-1,81 / 0,82	1,6	1,3
R5 (10 k Ω)	-2,15 / 1,29	9,835 /10,076 k Ω	-1,65 / 0,76	1,6	1,2
R6 (10 k Ω)	-1,53 / 1,45	9,909 /10,189 k Ω	-0,91 / 1,89	1,8	1,4

3.4 lentelė. Suprojektuotos sistemos palyginimas su kitomis literatūroje pateiktomis sistemomis

Table 3.4. Comparison of the designed system with other systems presented in the literature

Šaltinis	ŽDF struktūra	KMOP technologinis žingsnis	Generuojamų signalų dažnis, Hz	Kritinių defektų aptikimas, %	Parametrinių defektų neaptikimo ribos, min/max, %
Arabi, Kaminska 1999	Sallen-Key	1,2 μm	2,135 k	-	-6-2 / -54-125
Arabi, Kaminska 1997	Sallen-Key	1,2 μm	2,133 k	-	-6-2 / -54-125
Khade, Chaudari 2017	Sallen-Key	-	530	-	-10-13 / -60-80
Arbet <i>et al.</i> 2013	Sallen-Key	0,35 μm	55 M	90	-11-6 / -38,2-48
		90 nm	55 M	61	-7,8-9,3 / -21,3-21,5
Arbet <i>et al.</i> 2015	Sallen-Key	0,35 μm	8,75 M	98	-
		90 nm	110 M	87	-
Arbet <i>et al.</i> 2012	Sallen-Key	-	-	92	-
Wannaboorn <i>et al.</i> 2018	Sallen-Key	0,18 μm	20 k	97	-5-10 / -20-25
Suprojektuota sistema	Sallen-Key	0,18 μm	36,858 M	98	-0,17-0,16 / -0,74-0,72
	Akerberg-Mossberg		27,687 M	98	-0,19-0,07 / -3,31-1,00
	Tow-Thomas		26,395 M	97	-0,11-0,25 / -2,39-1,44

3.4 lentelėje suprojektuota savitestavimo sistema palyginama su kitų autorių sistemomis. Matoma, kad savitestavimo sistemos tyrimui dažniausiai naudojama ŽDF struktūra yra Sallen-Key. Lyginant su kitų autorių darbais, pasiūlytos savitestavimo sistemos parametrinių klaidų aptikimo ribos yra ne mažiau nei 5,48 karto siauresnės nei kitų autorių darbuose, o kritinių defektų aptikimo tikimybė siekia 98 %.

Iš 3.4 lentelės matoma, kad generuojamų signalų dažnis testuojamame grandyne skiriasi kiekvienai testuojamo filtro struktūrai naudojant suprojektuotą savitestavimo sistemą. Kitų autorių darbuose generuojamų signalų dažnis kinta nuo 2,135 kHz iki 110 MHz, bei daugumoje atveju yra susietas su KMOP technologiniu žingsniu.

3.14 pav. Akerberg-Mossberg struktūros žemųjų dažnių filtras ir savitestavimo sistemos topologija

Fig. 3.14. Layout of Akerberg-Mossberg low pass filter with self-test system

Suprojektuota savitestavimo sistema, kurios skilčių skaičius $n = k = 10$ užima 0,0096 mm² lusto ploto, kai naudojama 0,18 KMOP gamybos technologija. Suprojektuotos sistemos verifikavimui naudojamos skirtingos ŽDF struktūros. Užimamo ploto padidėjimas, palyginus su pavieniais filtrais yra +160 % Sallen-Key filteriui ir +96 % Akerberg-Mossberg ir Tow-Thomas filtrams. Naudojamos galios padidėjimas Sallen-Key struktūrai sudarė +48 %, Akerberg-Mossberg struktūrai – +45 % (3.14 pav.), Tow-Thomas struktūrai sudarė +46 %, tačiau kadangi savitestavimo sistema yra naudojama tik kartą, arba trumpais intervalais, norint patikrinti tik pagamintą lustą arba periodiškai siekiant nustatyti lusto senėjimo įtaką filtro parametrų, galios padidėjimas neturi žymios įtakos bendros sistemos galios suvartojimui.

3.3. Trečiojo skyriaus išvados

1. Atlikus kritinių ir parametrinių klaidų nustatymo tyrimus nustatyta, kad suprojektuota integrinių filtrų savitestavimo sistema gali būti naudojama su skirtingų struktūrų aktyviaisiais RC žemų dažnių filtrais. Atitinkamo tipo grįžtamojo ryšio grandinė užtikrina signalų generavimą Sallen-Key, Tow-Thomas ir Akerberg-Mossberg struktūrų integriniuose filtruose.
2. Atlikus kritinių klaidų nustatymo tyrimą nustatyta, kad aukštesnės eilės varžos įterpimas imituojant užtrumpintus kontaktus luste, kritinių klaidų aptikimo tikimybę sumažina ne daugiau nei 2 %, o bendra aptikimo tikimybė yra ne mažesnė nei 96 %, naudojant 0,18 μm KMOP technologiją.
3. Integrinių filtrų parametrinių klaidų neaptikimo ribos priklauso nuo grįžtamojo ryšio grandinės įtakos generuojamų signalų dažnio variacijai. Mažesnės grandyno generuojamų dažnių variacijos susiaurina parametrinių klaidų neaptikimo ribas, kurios gali siekti iki $\pm 0,3$ % nuo pasyviojo komponento vertės arba $\pm 0,2$ % nuo testuojamo žemųjų dažnių filtro ribinio dažnio arba stiprinimo vertės.

Siųstuvų-imtuvų integrinių filtrų savaiminio derinimosi sistemos kūrimas ir tyrimas

Pasinaudojus sukurtu integrinių filtrų savaiminio derinimosi sistemos modeliu ir jo projektavimo algoritmu, sukurta ir ištirta savaiminio derinimosi sistema ir parametų derinimo matricos. Savaiminio derinimosi sistema patikrinta naudojant skirtingas diskrečias valdymo matricas bei įvertinamas šių derinimo matricų varžos nustatymo neapibrėžtis. Tyrimai atliekami naudojant kompiuterinių skaičiavimų metodą.

Skyriaus tematika paskelbti du moksliniai straipsniai (Kladovscikov, Jurgo, Navickas 2019, Kladovscikov, Navickas 2020). Skyriaus tematika skaityti du pranešimai Lietuvos konferencijose (Kladovščikov 2018, Kladovščikov 2019) ir vienas pranešimas tarptautinėje užsienio konferencijoje (Kladovscikov, Navickas 2017).

4.1. Integrinių filtrų savaiminio derinimo sistemos blokų kūrimas

Belaidžio ryšio standartai yra plačiai vystomi. Atsirandant vis naujiems duomenų perdavimo standartams, programuojama radijui išlieka reikalavimas užtikrinti duomenų perdavimą ir senesniais standartais. Nauji duomenų perdavimo standartai naudojami daugumoje naujų belaidžio ryšio sferų – judrūs ir stacionarūs tinklai, daiktų internetas, intelektualios transporto sistemos. Visi belaidžio ryšio duomenų perdavimo standartai turi atitinkamus reikalavimus radijui. Svarbiausi parametrai ŽDF yra filtro ribinis dažnis, KVA, signalas-triukšmas santykis. 4.1 lentelėje yra pateikti šiuolaikinių, plačiausiai naudojamų belaidžio duomenų perdavimo standartų reikalavimai (Ziomek *et al.* 2012, 3GP 2009, Rohde & Schwarz 2013, LitePoint 2013).

4.1 lentelė. Belaidžio duomenų perdavimo standartų reikalavimai

Table 4.1. Parameters of wireless standards

Belaidžio ryšio standartas	Kanalo plotis, MHz	Moduliacijos schema	KVA, dB
WCDMA	5	64 QAM	–24
LTE	5, 10, 15, 20	16 QAM	–18
		64 QAM	–22
LTE-Advanced	5, 10, 15, 20	256 QAM	–30
WiMAX	5, 10, 20	16 QAM	–26
		64 QAM	–32
IEEE 802.11g, n, ac, ax:	20, 40, 60, 80	16 QAM	–19
		64 QAM	–27
		256 QAM	–32
		1024 QAM	–36

KVA nurodo signalo moduliacijos kokybę kompleksinėse belaidėse sistemose. Priklausomai nuo moduliacijos schemos, kiekvienas duomenų simbolis atitinka tam tikrą koordinatę konsteliacijos diagramoje. Tačiau, dėl IG gamybos netolydumo, temperatūros, maitinimo įtampos svyravimų ŽDF ribinis dažnis ir PDJ stiprinimas kinta, kas sąlygoja KVA didėjimą. KVA priklausomybė nuo ŽDF parametrų apskaičiuojama pagal (4.1) (Chen *et al.* 2010, Georgiadis *et al.* 2004).

$$EVM_{rms} = \sqrt{\frac{1}{SNR} + 2 - \sqrt{1 + \frac{2\Delta\delta_g}{1+\delta_g^2} + \cos\Delta\phi + \frac{2\Delta\delta_g}{1+\delta_g^2} \cos\Delta\phi}}, \quad (4.1)$$

čia $\Delta\delta_g$ – PDJ stiprinimo paklaida, $\Delta\phi$ – fazės paklaida.

KVA priklausomybė nuo ŽDF PDJ stiprinimo ir fazės paklaidos pateikta 4.1 paveiksle. Šiuo atveju priimta, kad ŽDF signalas-triukšmas santykis lygus 40.

4.1 pav. Klaidos vektoriaus amplitudės priklausomybė nuo signalo amplitudės ir fazės

Fig. 4.1. Error vector magnitude variation vs gain and phase imbalance of signal

Iš 4.1 paveikslo matyti, kad ryšiui palaikyti WiMAX 64QAM ir IEEE 802.11 g/n/ac 256 QAM reikia užtikrinti kvadratinį kanalų amplitudės paklaidą mažiau nei 0,4 dB ir fazės paklaidą 2,6 laipsnių.

Derinimo sistemai patikrinti naudojamas antros eilės aktyvusis RC filtras, skirtas daugiastandartiniais siūstuvams-imtuvams, o jo ribinis dažnis keičiamas nuo 5 MHz iki 40 MHz (4.2 pav).

4.2 pav. Daugiastandarčio antros eilės Tow-Thomas struktūros žemųjų dažnių filtro schema

Fig. 4.2. Multistandard second order Tow-Thomas structure low pass filter design

4.2. Perjungiamų rezistorių matricos projektavimas

Aktyviųjų RC filtrų dažnines charakteristikas apsp-rendžia jį sudarančių pasyviųjų komponentų – varžų ir kondensatorių vertės. Aktyviųjų RC filtrų parametrai – praleidžiamų dažnių juosta, išėjimo signalo stiprinimas ir filtro kokybės faktorius, priklausomai nuo naudojamo filtro struktūros, keičiami atitinkamai keičiant vieno ar kelių pasyviųjų komponentų vertes, kurios nustatomos iš filtro perdavimo charakteristikos. Norint keisti jau pagaminto integrinio aktyviojo RC filtro charakteristikas, tikslinga projektavimo metu numatyti derinimo matricas, kurios pakeičia pasyviuosius komponentus. Derinimo matricos, priklausomai nuo to, kuriuos pasyviuosius komponentus jos pakeitė, yra sudarytos iš rezistorių arba kondensatorių matricų. Derinimo matricų struktūrų klasifikavimas pateiktas 4.3 paveiksle.

4.3 pav. Derinimo matricų struktūrų klasifikavimas

Fig. 4.3. Classification of tuning matrices

Aktyviųjų RC filtrų PDJ plotis dažniausiai keičiamas naudojant perjungiamų kondensatorių matricas (Amir-Aslanzadeh *et al.* 2009), kai rezistorių matricomis atliekamas tikslus reikalaujamo ribinio dažnio priderinimas. Perjungiamų rezistorių matricos skirstomos į nuoseklaus, lygiagretaus, mišraus (nuoseklaus-lygiagretaus) ir R-2R jungimo.

Nuoseklaus jungimo PRM (4.4 pav.) pasižymi maža komponentų varža (Oshima *et al.* 2003, Oshima *et al.* 2004, Jin, Dai 2012, Heping *et al.* 2009), kuri

gali būti vienoda kiekvienam matricą sudarančiam rezistoriui ir valdoma temperatūriniu kodu, arba mažėjanti santykiu 2 kiekvienam paskesniai rezistoriui ir valdoma dvejetainiu kodo signalu. Valdymo tranzistoriai prijungti lygiagrečiai prie kiekvieno rezistoriaus – perjungimo metu yra užtrumpinami, taip nustatant varžą tarp taškų 0Ω arba $R/2n \Omega$. Pagrindinis tokios struktūros trūkumas – valdymo tranzistorių kanalo varžos įtaka derinimo tikslumui. Tranzistoriaus kanalo varža ilgam kanalui apskaičiuojama pagal (2.12).

4.4 pav. Nuoseklaus jungimo perjungiamų rezistorių matrica

Fig. 4.4. Sequential switched resistor matrix

Tranzistoriaus kanalo varža priklauso nuo tranzistoriaus matmenų bei prijungtos įtampos, tad rezistoriaus užtrumpinimo atveju varža tarp rezistoriaus kontaktų yra $> 0 \Omega$, o atskirais atvejais gali siekti iki šimtų omų eilės, tad šios struktūros PRM turi ribotą derinimo tikslumą.

Lygiagretaus jungimo PRM (4.5 pav.) yra sudaryta iš $n + 1$ pasvertų rezistorių (Kladovščikov 2015, Bao *et al.* 2013, Kiela *et al.* 2016). Kiekvieno paskesnio derinimo rezistoriaus varža yra dvigubai didesnė už prieš tai buvusį. Priklausomai nuo reikalaujamo derinimo tikslumo, matricą sudarančių rezistorių varža gali siekti iki megaomų eilės – taip sumažinama valdymo tranzistorių kanalo varžos įtaka matricos varžos nustatymui, tačiau neretai lygiagrečių PRM užimamas integrinio lusto plotas gali užimti didžiąją dalį integrinio lusto.

Mišraus jungimo PRM (4.6 pav.) yra sudaryta iš nuoseklaus ir lygiagretaus jungimo PRM, taip panaudojant abiejų struktūrų privalumus – galimybę padidinti varžos derinimo tikslumą lygiagretaus jungimo PRM bei sumažinti naudojamą lusto plotą bendrą varžą padalinant tarp nuoseklaus ir lygiagretaus jungimo PRM (Kiela *et al.* 2017). Pažymėtina, kad mišraus jungimo PRM derinimo tikslumas nustatomas dviejų valdymo kodų, n ir k , sandauga. Taip pat, matricos projektavimo metu būtina įvertinti tranzistorių kanalo varžų įtaką nuosekliai matricos daliai.

4.5 pav. Lygiagretaus jungimo perjungiamų rezistorių matrica
Fig. 4.5. Parallel switched resistor matrix

4.6 pav. Mišraus jungimo perjungiamų rezistorių matrica
Fig. 4.6. Hybrid switched resistor matrix

4.7 pav. R-2R jungimo perjungiamų rezistorių matrica
Fig. 4.7. R-2R structured switched resistor matrix

R-2R jungimo PRM (4.7 pav.) yra sudaryta iš eilės vienodų nuosekliai sujungtų varžų, bei dvigubai didesnio nominalo lygiagrečiai sujungtų varžų (Hwang

et al. 2005). Tokia struktūra pasižymi maža elementų varža, taip pat mažu integrinio lusto užimamu plotu, tačiau matricos varžos nustatymo žingsnio netolydumas apriboja galimybę gauti minimalų derinimo žingsnį visoms valdymo kodo kombinacijoms.

Atsižvelgus į anksčiau paminėtų PRM struktūrų trūkumus, siūloma nauja PRM struktūra ir jos projektavimo metodika. Siūlomos PRM struktūros principinė elektrinė schema (4.8 pav.) yra sudaryta iš nuosekliai ir lygiagrečiai sujungtų rezistorių, skirtų nustatyti aukščiausią varžos derinimo tašką, bei nuosekliai ir lygiagrečiai sujungtų pasvertų rezistorių.

4.8 pav. Siūloma perjungiamų rezistorių matricos schema

Fig 4.8. Proposed switched resistor matrix scheme

Rezistorius R_{Nfiks} jungiamas nuosekliai PRM, o jo vertė apskaičiuojama pagal (4.3):

$$R_{Nfiks} = \frac{R}{\sqrt{2}} \left(1 - \frac{\Delta}{100} \right), \quad (4.3)$$

čia: R – rezistoriaus vertė, apskaičiuota projektuojant aktyvųjį RC filtrą, Δ – filtro PDJ arba stiprinimo derinimo riba, išreiškiama procentais.

Nuosekliai sujungtas rezistorius leidžia sumažinti PRM užimamą lusto plotą atskiriant pastoviąją ir keičiamą varžas.

Rezistorius R_{Lfiks} jungiamas nuosekliai perjungiamiems rezistoriams, nustatant aukščiausią varžos derinimo tašką, kai visos PRM skiltys yra išjungtos. Rezistoriaus R_{Lfiks} vertė apskaičiuojama pagal:

$$R_{Lfiks} = R \left(1 + \frac{\Delta}{100} \right) - R_{Nfiks}, \quad (4.4)$$

čia R_{Lfiks} – lygiagrečiai sujungto rezistoriaus varža.

Rezistoriaus R_n vertė apskaičiuojama pagal:

$$R_n = R - R_{\text{Lfiks}}, \quad (4.5)$$

čia n – derinimo matricos skilčių skaičius.

Likusių nuosekliai sujungtų rezistorių $R_{N[n-1:0]}$ ir lygiagrečiai sujungtų rezistorių $R_{[n-1:0]}$ vertės apskaičiuojamos atitinkamai pagal:

$$R_{N[n-1 \rightarrow 0]} = \frac{R_n}{2^{2k_n}}; \quad (4.6)$$

$$R_{[n-1 \rightarrow 0]} = 2R_n - R_{Nn}; \quad (4.7)$$

$$k_n = n_0 + 1, \quad (4.8)$$

čia k – rezistoriaus atšakos eilės numeris, n_0 – žemiausioji PRM skiltis.

PRM valdymo skilčių skaičius priklauso nuo keliamų reikalavimų filtro suderinimui – derinimo ribų bei minimalaus derinimo žingsnio:

$$n = \left\lceil \log_2 \left(\frac{10000}{100\delta - \Delta\delta} + 1 \right) \right\rceil, \quad (4.9)$$

čia δ – reikalaujamas PRM derinimo žingsnis.

Apskaičiuojant PRM derinimo ribą reikia įvertinti ir dėl temperatūros svyravimų atsiradusią varžos paklaidą. Siekiant sumažinti PRM apimamą derinimo ribą, tikslinga kiekvieną PRM sudarantį rezistorių išdalinti į skirtingus temperatūrinius koeficientus turinčius rezistorius juos sujungiant nuosekliai, taip sumažinant varžos vertės svyravimus esant skirtingai temperatūrai (4.9 pav). Projektuojamos PRM rezistoriai išdalinami santykiu:

$$\frac{R_{\alpha 1}}{R_{\alpha 2}} = \left| \frac{\alpha_2}{\alpha_1} \right|, \quad (4.10)$$

čia $R_{\alpha 1}$ – pirmo rezistoriaus varža, $R_{\alpha 2}$ – antro rezistoriaus varža, α_1 – pirmo rezistoriaus varžos temperatūrinis koeficientas, α_2 – antro rezistoriaus varžos temperatūrinis koeficientas.

4.9 pav. Rezistoriaus keitimas skirtingus temperatūrinius koeficientus, turinčiais rezistoriais

Fig. 4.9. Change of resistor by resistors with two different temperature coefficient of resistance

Valdymo tranzistorių kanalo varžos svyravimui, kintant U_{SI} , sumažinti naudojamas dvigubo perjungimo integrinis raktas (žr. 4.10 pav.) (Palumbo, Pennisi 2008).

4.10 pav. Valdymo tranzistoriaus pakeitimas dvigubo perjungimo integriniu raktu
Fig. 4.10. Change of control transistor with transmission gate

Lygiagrečiai jungiant NMOP ir PMOP tranzistorius, tranzistoriams veikiant tiesinėje srityje bei neatsižvelgiant į tranzistorių matmenis, ekvivalentinė grandinės varža apskaičiuojama pagal:

$$R_{\text{ekv}} = \frac{1}{k_n (U - U_{\text{sl.n}}) + k_p (U - |U_{\text{sl.p}}|)}, \quad (4.11)$$

čia k_n – NMOP tranzistoriaus pereigos laidis, $U_{\text{Tsl.n}}$ – NMOP tranzistoriaus slenkstinė įtampa, k_p – PMOP tranzistoriaus pereigos laidis, $U_{\text{sl.p}}$ – NMOP tranzistoriaus slenkstinė įtampa.

4.3. Perjungiamų rezistorių matricos tyrimas

Siūlomos naujos PRM struktūros projektavimo metodui patikrinti 0,18 μm TSMC KMOP integrinių grandynų technologijoje suprojektuota 8-ių skilčių PRM.

Norint nustatyti naudojamos technologijos rezistorių IG gamybos technologijos netolydumo ir temperatūros nuokrypių ribas, suprojektuotas antros eilės aktyvusis RC žemų dažnių filtras. 4.11 paveiksle pateikti suprojektuoto filtro Monte Karlo skaičiavimo rezultatai, keičiant IG gamybos technologijos parametrus bei elementų geometrijos nuokrypius. 10 paveiksle pateikta integrinį filtrą sudarančių rezistorių varžos priklausomybė nuo temperatūros, atitinkamai be temperatūros kompensavimo (4.12a pav.) ir su temperatūros kompensavimu (4.12b pav.). Temperatūros kompensavimas atliekamas naudojant skirtingu integrinius rezisto-

rius – didelės varžos polisilicio ir p+ polisilicio, kurių temperatūrinis varžos koeficientas atitinkamai $\alpha_{R1} = -0,09345 \text{ } \%/^{\circ}\text{C}$ ir $\alpha_{R2} = 0,135688 \text{ } \%/^{\circ}\text{C}$. Pagal (9) apskaičiuotas naudojamų varžų santykis $R_{\alpha1}/R_{\alpha2} = 1,469$. Filtrą sudarančių kondensatorių talpos temperatūrinis koeficientas $\alpha_C = -0,0028 \text{ } \%/^{\circ}\text{C}$.

4.11 pav. Aktyvaus antros eilės filtro praleidžiamų dažnių juostos ribinio dažnio nuokrypis

Fig. 4.11. Cut-off frequency deviation of a second order active resistor capacitor filter

Iš rezultatų matoma (10 pav., a; b), kad kompensavus rezistorių varžos priklausomybę nuo temperatūros, varžos sklaida sumažinama nuo $-5,2$ – $3,8 \text{ } \%$ iki $-0,2$ – $0,18 \text{ } \%$ diapazone nuo $-20 \text{ } ^{\circ}\text{C}$ iki $80 \text{ } ^{\circ}\text{C}$. Įvertinus 9 paveiksle pateiktą integrinio filtro ribinio dažnio sklaidą $\Delta\omega = \pm 29 \text{ } \%$, rezistorių varžos temperatūrinius svyravimus bei metalas-izoliatorius-metalas kondensatorių talpos temperatūrinius svyravimus, apibrėžiamos PRM derinimo ribos $\Delta = \pm 30 \text{ } \%$, derinimo tikslumas $\delta = 0,8 \text{ } \%$, pasirenkama derinimo matricos nominali varža $R = 10 \text{ k}\Omega$ bei pagal (4.9) apskaičiuojamas derinimo matricos skilčių skaičius 8.

4.12 pav. Integrinį filtrą sudarančių rezistorių varžos ($R = 10 \text{ k}\Omega$) priklausomybė:
a) be kompensavimo; b) su kompensavimu.

Fig. 4.12. Resistance of active RC filter's resistor vs temperature:
a) without temperature compensation;
b) with temperature compensation

Suprojektuotos 8-ių skilčių PRM varžos priklausomybė nuo valdymo signalo pateikiama 4.13 paveiksle. Naudojant pasiūlytos PRM struktūrą, derinimo žingsnis nėra tolygus visame derinimo diapazone bei svyruoja 0,1–0,8 %, tačiau derinimo žingsnio reikalavimai yra išpildomi. 4.14 pav. pateikiamos PRM varžos nustatymo kreivės esant skirtingoms aplinkos temperatūroms. Temperatūrų diapazone nuo $-20 \text{ }^{\circ}\text{C}$ iki $80 \text{ }^{\circ}\text{C}$, varžos sklaida yra mažesnė nei 1 %.

4.13 pav. Suprojektuotos 8-ių skilčių perjungiamų rezistorių matricos varžos priklausomybė nuo valdymo kodo

Fig. 4.13. Designed 8 bit tuning matrix resistance vs control code

4.14 pav. Suprojektuotos 8-ių skilčių perjungiamų rezistorių matricos varžos priklausomybė nuo valdymo kodo temperatūrų diapazone nuo $-20\text{ }^{\circ}\text{C}$ iki $80\text{ }^{\circ}\text{C}$

Fig. 4.14. Dependency of resistivity of designed tuning matrix on control code when temperature ranges from $-20\text{ }^{\circ}\text{C}$ to $80\text{ }^{\circ}\text{C}$

Pasiūlytos naujos PRM struktūros skaičiavimų rezultatų palyginimas pateiktas 4.2 lentelėje. Visos PRM struktūros buvo suprojektuotos $0,18\text{ }\mu\text{m}$ TSMC KMOP IG gamybos technologijoje naudojant žinomas PRM projektavimo metodus. Matoma, kad pasiūlytos struktūros PRM varžos nustatymo tikslumas svyruoja nuo 0,1 iki 0,8 %, o varžos nustatymo neapibrėžtumas, kurio priežastis – naudojamų KMOP tranzistorių kanalo varžos svyravimas esant skirtingoms įėjimo įtampoms, siekia 0,3 %. Verta pažymėti, kad geriausi varžos nustatymo tikslumo ir neapibrėžtumo rezultatai pasiekiami naudojant lygiagreto jungimo

PRM, tačiau siūlomos naujos struktūros PRM varžų suma yra 6,82 karto mažesnis, kas įgalina pasirinkti didesnę PRM skilčių skaičių norint pasiekti lygiagretaus jungimo PRM varžos nustatymo tikslumo lygį išlaikant mažesnę užimamą lusto plotą.

4.2 lentelė. Derinimo matricių struktūrų palyginimas, kai $n = 7$

Table 4.2. Comparison of tuning matrices, when $n = 7$

Derinimo matricos struktūra	Varžos nustatymo tikslumas δ , %	Varžos nustatymo neapibrėžtis u , %	PRM varžų suma, k Ω
Nuoseklaus jungimo PRM	1,0	2	100
Lygiagretaus jungimo PRM	0,5	0,1	7554
Mišraus jungimo PRM	0,8	0,8 ($k = 2$)	2553
R-2R jungimo PRM	1,0–3,0	0,4	840
Pasiūlyta struktūra	0,1–0,8	0,3	1094

Perjungiamų rezistorių matricių varžų sumos priklausomybė nuo matricos skilčių skaičiaus pateikta 4.15 paveiksle. Matoma, kad esant PRM skilčių skaičiui $n < 5$, siūlomos struktūros PRM suminė varža yra mažesnė už lygiagretaus, mišraus bei R-2R jungimo PRM.

4.15 pav. Perjungiamų rezistorių matricių suminės varžos priklausomybė nuo matricos skilčių skaičiaus

Fig. 4.15. Tuning matrix resistor sum vs number of bits of resistor matrix

4.4. Integrinių filtrų savaiminio derinimo sistemos tyrimas

Derinimo sistema suprojektuota IBM CM7RF 0,18 μm KMOP technologijoje. Sistemos maitinimo įtampa – 1,8 V. Naudojamų kondensatorių paklaida siekia 10 %, o rezistorių – 20 %. 4.16 pav. pateiktas filtro ribinio dažnio pasiskirstymas, kuris parodo, kad ribinio dažnio paklaida neviršija pagal (2.25) paskaičiuotos absoliučios ŽDF ribinio dažnio paklaidos.

4.16 pav. Suprojektuoto žemų dažnių filtro ribinio dažnio pasiskirstymas
Fig. 4.16. Cut-off frequency deviation of designed second order low pass filter

ŽDF ribinio dažnio derinimo ribos kiekvienam veikimo dažniui pateikta 4.17 paveiksle. Matoma, kad dažniuose 5–15 MHz derinimo ribos siekia 30 %, 20 MHz – 27 % ir 40 MHz – 25 %. Sumažėjusios derinimo ribos siejamos su parazitine LPRM valdančiųjų tranzistorių talpa. ŽDF ribinio dažnio nustatymo žingsnis siekia 0,8 %. Norint sumažinti derinimo žingsnį, LPRM žemiausios skilties varža didinama 2 kartus. ŽDF PDJ stiprinimo derinimo riba pateikta 4.18 paveiksle, siekia iki 5,3 dB, o derinimo žingsnis – iki 0,04 dB.

4.17 pav. Aktyviojo RC žemųjų dažnių filtro ribinio dažnio nustatymo ribos prie 27 °C
Fig. 4.17. Bandwidth tuning range of active RC low pass filter vs Control code at 27 °C

4.18 pav. Žemų dažnių filtro stiprinimo nustatymo ribos prie 27 °C
Fig. 4.18. Gain tuning range of active RC low pass filter vs Control code at 27 °C

4.19 paveiksle pateikta derinimo sistemos ribinio dažnio ir PDJ stiprinimo nustatymo laiko diagrama, esant skirtingoms temperatūroms. 4.20 paveiksle pateiktos suderinto daugiastandarčio ŽDF dažninės amplitudinės charakteristikos (DACH).

4.21 paveiksle pateikta siūlomos derinimo sistemos pirmo derinimo ciklo laikinė diagrama. Matoma, kad ribinio dažnio ir PDJ stiprinimo nustatymas vykdomas nustatytą laiko tarpą, perjungiant režimą. Matoma, kad pirmiausia suderinamas ribinis dažnis, po to – PDJ stiprinimas.

4.19 pav. Derinimo sistemos LPRM varžos nustatymo ribiniam dažniui ir PDJ stiprinimui laikinė diagrama, prie 10 MHz kanalo pločio

Fig. 4.19. Tuned second order low pass filter cut-off frequency and gain resistors banks control code value vs temperature for 10 MHz baseband

4.20 pav. Suderinto daugiastantarčio ŽDF dažninė amplitudinė charakteristika prie 27 °C

Fig. 4.20. Frequency response of baseband-configurable second order filter at 27 °C

4.21 pav. Žemųjų dažnių filtro pirmo derinimo ciklo laikinė diagrama

Fig. 4.21. Time diagram of first sequence of low pass filter tuning

4.3 lentelė. Suprojektuotos savaiminio derinimosi sistemos pagrindiniai parametrai

Table 4.3. Main parameters of designed self-tuning system

Parametras	Filtro konfigūracija				
Ribinis dažnis ω_r , MHz	5	10	15	20	40
Dažnio derinimo ribos $\Delta\omega$, %	30	30	30	27	25
Dažnio derinimo žingsnis δ_r , %	0,8				
Stiprinimo derinimo riba Δg , dB	5,3				
Stiprinimo derinimo žingsnis δ_g , dB	0,04				
Apskaičiuotas KVA, dB	-38,5	-38,8	-37,8	-37,4	-37,6
Maitinimo įtampa V_{DD} , V	1,8				

Pagrindiniai suprojektuoto filtro su siūloma derinimo sistema parametrai pateikti 4.3 lentelėje. Matoma, kad suprojektuoto filtro ribinis dažnis yra keičiamas 5–40 MHz ribose, o dažnio derinimo ribos naudojant tas pačias perjungiamų rezistorių matricas didėjant filtro ribiniam dažniui kinta nuo 30 % iki 25 %. Suprojektuotos sistemos perjungiamų rezistorių matricos valdymo skilčių skaičius

$n = 8$, kas leidžia pasiekti 0,8 % dažnio derinimo žingsnį. Išėjimo signalo stiprinimo derinimo riba siekia 5,3 dB, o derinimo žingsnis $\delta_g = 0,04$ dB. Naudojant (4.1) apskaičiuota KVA skirtingiems filtro ribiniams dažniams kinta nuo $-37,4$ iki $-38,8$ dB, kuri įgalina naudoti suderintą filtrą su signalų moduliacijų schemomis iki 1024 QAM.

4.4 lentelė. Suprojektuotos sistemos palyginimas su kitų autorių darbais

Table 4.4. Comparison of the designed filter tuning circuit to other author works

Šaltinis	ω_r , MHz	$\Delta\omega$, %	δ_i , %	Δg , dB	δ_g , dB	V_{DD} , V	IG technolo- ginis žings- nis, μm
(Tien–Yu <i>et al.</i> 2014)	2,5	45	3	–	–	1,2	0,055
(Kiela 2018)	10; 60	40	0,9	–	–	1,2	0,065
(Jiang <i>et al.</i> 2011)	0,2; 2	20	2,5	–	–	1,5	0,13
(Oshima <i>et al.</i> 2004)	2	28	5	–	–	–	0,18
(Kiela <i>et al.</i> 2016)	10	30	1	–	–	1,8	0,18
(Lim <i>et al.</i> 2005)	2; 5; 10	40	2,5	–	–	1,8	0,18
(Du <i>et al.</i> 2006)	4	25	3	–	–	–	0,18
(Chen <i>et al.</i> 2008)	120	40	5	–	–	1,5	0,18
(Fan <i>et al.</i> 2009)	3,75	40	4	–	–	1,8	0,18
(Gao <i>et al.</i> 2012)	0,25; 0,5; 1,0; 2,0	20	3	–	–	1,8	0,18
Pasiūlyta sistema	5, 10, 15, 20, 40	25–30	0,8	5,3	0,04	1,8	0,18

Suprojektuotos sistemos palyginimas su kitomis derinimo sistemomis pateiktas 4.4 lentelėje. Matoma, kad suprojektuota sistema pasižymi mažiausiu filtro ribinio dažnio suderinimo žingsniu, kuris siekia 0,8 % bei geba suderinti išėjimo signalo stiprinimą 5,3 dB ribose, derinimo tašką keičiant 0,04 dB žingsniu.

4.5. Ketvirtąjį skyriaus išvados

1. Suprojektuoto integrinių analoginių aktyviųjų filtrų savaiminio derinimo sistema naudoja dviejų žingsnių derinimą, kuriuo pasiekia optimalų filtro ribinio dažnio ir išėjimo signalo slopinimo dydį. Toks dviejų žingsnių derinimas leidžia suderintą filtrą naudoti siūstuvų-imtuvų grandynuose, kuriuose yra kvadratiniai signalų kanalai.
2. Siūlomos diskrečiai valdomos pakopinio jungimo derinimo matricą sudarančių varžų suma, lyginant su lygiagreto jungimo derinimo matricos varžų suma, yra iki 7,7 karto mažesnė išlaikant artimą derinimo žingsnį, kai derinimo matricos skilčių skaičius lygus 10, bei ji suprojektuota 0,18 μm KMOP technologijoje. Naudojamas pasyvusis derinimo metodas, paremtas rezistorių su priešingo ženklo temperatūriniu koeficientu panaudojimu, leidžia sumažinti derinimo ribų sklaidą iki 1 % temperatūros diapazone nuo $-20\text{ }^{\circ}\text{C}$ iki $80\text{ }^{\circ}\text{C}$.
3. Pasiūlyta diskrečiai valdomo filtro struktūra ir jo savaiminio derinimo sistema leidžia keisti praleidžiamųjų dažnių juostą nuo 10 MHz iki 40 MHz naudojant kondensatorių matricas, išlaikant vienodą derinimo tikslumą.
4. Naudojama nuoseklaus keitimo derinimo sistema derina integrinio filtro ribinį dažnį ir slopinimą nepertraukiamai, o tokios sistemos atsakas į atsiradusius aplinkos parametrų pokyčius neviršija 384 μs naudojant 10 MHz atraminio dažnio signalą ir 8 skilčių derinimo matricas.

Bendrosios išvados

1. Analoginių aktyviųjų RC filtrų pasiūlyta savitestavimo sistema ir jos projektavimo metodika leidžia apskaičiuoti savitestavimo sistemos blokų parametrus, įvertinant parametrines ir kritines klaidas, atsiradusias pagamintame integriniame luste.
2. Pakopinio jungimo varžos derinimo rezistorių matricos struktūra bei pasiūlyta jos projektavimo metodika, įvertina gamybos technologijos netolydumų įtaką ir aplinkos temperatūros svyravimų įtaką reikiamų integrinio filtro parametrų suderinimui.
3. Pasiūlyta netiesioginio derinimo vėlinimo ir dalinimo kilpos savaiminio derinimosi grandyno struktūra kuri skirta integrinių aktyviųjų filtrų parametrų – signalo fazės ir stiprinimo derinimui, įvertina išėjimo signalo ribinį dažnį ir stiprinimą, reikalingus kokybės vektoriaus amplitudei apskaičiuoti, o savaiminio derinimosi grandynas naudoja du reversinius skaitiklius nuosekliai abiejų parametrų derinimui.
4. Analoginių elektrinių signalų generavimu paremta siūstuvų-imtuvų blokų savitestavimo sistema, suprojektuota 0,18 μm KMOP technologijoje, naudojama integrinių filtrų tikrinimui, aptinka iki 97 % visų į tikrinamą grandyną įterptų kritinių klaidų ir leidžia atpažinti 0,7 % pasyviųjų komponentų parametrų svyravimus.

5. Taikant 0,18 μm KMOP technologiją, pakopinio jungimo diskrečiai valdomos perjungiamų rezistorių matricos struktūrą sudarančių rezistorių vertė yra 7,7 karto mažesnė, lyginant su lygiagretaus jungimo perjungiamų rezistorių matricos struktūra, išlaikant ne prastesnę varžos nustatymo neapibrėžtį, kai matricos derinimo diapazonas siekia 40 %, derinimo žingsnis 0,5 % bei perjungiamų rezistorių matricos skilčių skaičius 10.
6. Integrinių raktų panaudojimas perjungiamų rezistorių matricų valdymui, kai matricos dydis yra lygus 8 skilims, nominali varža – 10 k Ω , gamybos technologija – 0,18 μm KMOP, leidžia sumažinti varžos nustatymo neapibrėžtį 4,8 karto, lyginant su perjungiamų rezistorių matricomis, kai naudojami NMOP raktai.

Literatūra ir šaltiniai

3GP. 2009. 3rd Generation Partnership Project; Technical Specification Group Radio Access Network; Evolved Universal Terrestrial Radio Access (E-UTRA); User Equipment (UE) radio transmission and reception (Release 8).

Alegre, J.; Calvo, B.; Celma, S. (2008). A high performance CMOS feedforward AGC circuit for wideband wireless receivers. *2008 IEEE International Symposium on Industrial Electronics*, 30 June–2 July 2008, Cambridge, UK, 1657–1661.

Alegre, J.; Celma, S.; Calvo, B.; Fiebig, N.; Halder, S. (2009). SiGe Analog AGC Circuit for an 802.11a WLAN Direct Conversion Receiver. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 56(2): 93–96.

Amir-Aslanzadeh, H., Pankratz, E., & Sanchez-Sinencio, E. (2009). A 1-V +31 dBm IIP3, Reconfigurable, Continuously Tunable, Power-Adjustable Active-RC LPF. *IEEE Journal Of Solid-State Circuits*, 44(2), 495–508.

Andrejević Stošović, M.; Milić, M.; Litovski, V. Analog filter diagnosis using the oscillation based method. *Journal of Electrical Engineering* 2012, 63, 349–356.

Arabi, K.; Kaminska, B. Oscillation-test methodology for low-cost testing of active analog filters. *IEEE Transactions on Instrumentation and Measurement* 1999, 48, 798–806.

Arabi, K.; Kaminska, B. Parametric and catastrophic fault coverage of analog circuits in oscillation-test methodology. *Proceedings of the 15th IEEE VLSI Test Symposium*, Monterey, USA, 1997.

Arbet, D.; Gyepes, G.; Brenkus, J.; Stopjakova, V. OBIST strategy versus parametric test – Efficiency in covering catastrophic faults in active analog filters. Proceedings of the 2012 IEEE 15th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), Tallin, Estonia, 2012.

Arbet, D.; Nagy, G.; Stopjakova, V.; Gyepes, G. Efficiency of oscillation-based BIST in 90nm CMOS active analog filters. Proceedings of the 2013 IEEE 16th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), Karlovy Vary, Czech Republic, 2013.

Arbet, D.; Stopjaková, V.; Brenkuš, J.; Gyepes, G.; Kováč, M.; Majer, L. BIST architecture for oscillation test of analog ICs and investigation of test hardware influence. Microelectronics Reliability 2014, 54, 985–992.

Arbet, D.; Stopjaková, V.; Kováč, M. Investigation of the optimum oscillation frequency value towards increasing the efficiency of OBIST approach. Microelectronics Reliability 2015, 55, 1120–1125.

Atalla, E.; Bellaouar, A.; Balsara, P. (2013). IIP2 requirements in 4G LTE handset receivers. *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWS-CAS)*, 4–7 Aug. 2013, Columbus, OH, USA, 1132–1135.

Bao, K., Fan, X., & Wang, Z. (2013). A 0.18 μm -CMOS low-power reconfigurable low pass filter for multi-standard receivers. *2013 International Conference On Advanced Technologies For Communications (ATC 2013)*.

Barragan, M.; Vazquez, D.; Rueda, A.; Huertas, J. (2010). Guidelines for the efficient design of sinewave generators for analog/mixed-signal BIST. 2010 IEEE 16th International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW).

Callegari, S.; Pareschi, F.; Setti, G.; Soma, M. Complex Oscillation-Based Test and Its Application to Analog Filters. IEEE Transactions on Circuits and Systems I: Regular Papers 2010, 57, 956–969.

Catalano, J.; Peretti, G.; Romero, E.; Marques, C. Exploring the Ability of Oscillation Based Test for Testing Continuous -Time Ladder Filters. Proceedings of the 7th International Symposium on Quality Electronic Design (ISQED'06), San Jose, USA, 2006.

Chatterjee, M.; Pradhan, D. K. (2003). A BIST pattern generator design for near-perfect fault coverage. *IEEE Transactions on Computers*, 52(12): 1543–1558.

Chen, Y. C.; Chiu, W. H.; Lin, T. H. 2008. A 120-MHz active-RC filter with an agile frequency tuning scheme in 0.18- μm CMOS. *VLSI Design, Automation and Test*: 208–211.

Chen, Y.; Chiu, W.; Lin, T. (2008). A 120-MHz active-RC filter with an agile frequency tuning scheme in 0.18 μm CMOS. 2008 IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT).

Chen, J.; Renzhong, X.; Weinan, L.; Yumei, H.; Zhiliang, H. (2011). Reconfigurable low pass filter with Automatic Frequency Tuning for WCDMA and GSM application. *2011*

9th IEEE International Conference on ASIC, 25–28 Oct. 2011, Xiamen, China, 1066–1069.

Chen, Zh., & Dai, F. (2010). Effects of LO Phase and Amplitude Imbalances and Phase Noise on M-QAM Transceiver Performance. *IEEE Transactions On Industrial Electronics*, 57(5), 1505–1517.

Cheng, J.; Huang, F.; Wu, L.; Tian, Y.; Jiang, N. (2009). A High-Linearity, 60-dB Variable Gain Amplifier with Dual DC-Offset Cancellation for UWB Systems. *2009 5th International Conference on Wireless Communications, Networking and Mobile Computing*, 24–26 Sept. 2009, Beijing, China, 1–4.

Cojan, N.; Cracan, A.; Goras, L. On Oscillation Based filter testing. Proceedings of the 2010 9th International Symposium on Electronics and Telecommunications, Timisoara, Romania, 2010.

Danilovic, D.; Milovanovic, V.; Cathelin, A.; Vladimirescu, A.; Nikolic, B. (2016). Low-power inductorless RF receiver front-end with IIP2 calibration through body bias control in 28nm UTBB FDSOI. *2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 22–24 May 2016, San Francisco, CA, USA, 87–90.

Das, S.; Zakizadeh, J.; Biswas, S.; Assaf, M.; Nayak, A.; Petriu, E.; Jone, W.; Sahinoglu, M. Testing Analog and Mixed-Signal Circuits With Built-In Hardware—A New Approach. *IEEE Transactions on Instrumentation and Measurement*, 2007, 56, 840–855.

Dimopoulos, H. G. Analog electronic filters; Springer: Dordrecht, USA, 2012; pp. 470–495.

Dogaru, E.; Santos, F.; Rebernak, W., (2014). A flexible BIST strategy for SDR transmitters. Design, Automation & Test in Europe Conference & Exhibition (DATE), 2014.

Dong, J.; Jiang, H.; Weng, Z.; Zheng, J.; Zhang, C.; Wang, Z. (2015). A fast AGC method for multimode zero-IF/sliding-IF WPAN/BAN receivers. *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, 24–27 May 2015, Lisbon, Portugal, 1310–1313.

Du, D.; Li, Y.; Wang, Z.; Tan, S. 2006. An active-RC complex filter with mixed signal tuning system for low-IF receiver. *Circuits and Systems*: 1031–1034.

Dufort, B.; Roberts, G., (1999). On-chip analog signal generation for mixed-signal built-in self-test. *IEEE Journal of Solid-State Circuits*, vol. 34, no. 3, pp. 318–330.

Dufrêne, K. (2007). Analysis and Cancellation Methods of Second Order Intermodulation Distortion in RFIC Downconversion Mixers. Universität Erlangen-Nürnberg, 114–135.

Dufrene, K.; Boos, Z.; Weigel, R. (2008). Digital Adaptive IIP2 Calibration Scheme for CMOS Downconversion Mixers. *IEEE Journal of Solid-State Circuits*, 43(11): 2434–2445.

Dzyubina, A., & Kopets, H. (2016). Prospects of implementation of modern cellular wireless data transfer standards. 2016 13Th International Conference On Modern Problems Of Radio Engineering, Telecommunications And Computer Science (TCSET).

Fan, C.; Lu, Y.; Mao, C. (2009). Design of a Chebyshev low pass filter with automatic frequency calibration. *2009 Asia Pacific Conference on Postgraduate Research in Microelectronics & Electronics (PrimeAsia)*, 19–21 Jan. 2009, Shanghai, China, 121–124.

Fatadin, I. (2016). Estimation of BER from Error Vector Magnitude for Optical Coherent Systems. *Photonics*, 3(2), 21.

Feng, Y.; Takemura, G.; Kawaguchi, S.; Itoh, N.; Kinget, P. (2010). A low-power low-noise direct-conversion front-end with digitally assisted IIP2 background self calibration. *2010 IEEE International Solid-State Circuits Conference – (ISSCC)*, 7–11 Feb. 2010, San Francisco, CA, USA, 70–71.

Feng, Y.; Takemura, G.; Kawaguchi, S.; Itoh, N.; Kinget, P. (2011). Digitally Assisted IIP2 Calibration for CMOS Direct-Conversion Receivers. *IEEE Journal of Solid-State Circuits*, 46(10): 2253–2267.

Furuta, Y.; Heima, T.; Sato, H.; Shimizu, T. (2007). A Low Flicker-Noise Direct Conversion Mixer in 0.13 μm CMOS with Dual-Mode DC offset Cancellation Circuits. *2007 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, 10–12 Jan. 2007, Long Beach, CA, USA, 265–268 Gao, J.; Jiang, H.; Zhang, L.; Dong, J.; Wang, Z. (2012). A programmable low-pass filter with adaptive miller compensation for zero-IF transceiver. *2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 5–8 Aug. 2012, Boise, ID, USA, 226–229.

Gao, J.; Jiang, H.; Zhang, L.; Dong, J.; Wang, Z. (2012). A programmable low-pass filter with adaptive miller compensation for zero-IF transceiver. *2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 5–8 Aug. 2012, Boise, ID, USA, 226–229.

Genesis Microchip Inc. 2007. *Hybrid automatic gain control (AGC)*, US Patent US7222037 B2.

Georgiadis, A. (2004). Gain, Phase Imbalance, and Phase Noise Effects on Error Vector Magnitude. *IEEE Transactions On Vehicular Technology*, 53(2), 443–449.

Heping, M.; Fang, Y.; Yin, S.; F, D. (2009). A multi-standard active-RC filter with accurate tuning system. *Journal of Semiconductors*, 30(9): 1–4.

Hu, G.; Wang, H.; Hu, M.; Yang, S. Oscillation test strategy for analog filters by monitoring output voltage and supply current. *Tsinghua Science and Technology* 2007, 12, 78–82.

Huang, G.; Wu, Y.; Zhong, C.; Lin, P. (2011). A DC-offset cancellation circuit for PGA in baseband communication. *2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 7–10 Aug. 2011, Seoul, South Korea, 1–4.

Huang, Y.; Li, W.; Hu, S.; Xie, R.; Li, X.; Fu, J.; Sun, Y.; Pan, Y.; Chen, H.; Jiang, C.; Liu, J.; Chen, Q.; Qiu, D.; Qin, Y.; Hong, Z.; Zeng, X. (2013). A High-Linearity WCDMA/GSM Reconfigurable Transceiver in 0.13 μm CMOS. *IEEE Transactions on Microwave Theory and Techniques*, 61(1): 204–217.

- Huang, M.; Xiaofeng, L.; Guo, J.; Chen, D. (2015). A compact I/Q imbalance calibration technique for power-aware fully-integrated receiver without on-chip baseband processor. *2015 IEEE International Wireless Symposium (IWS 2015)*, 30 March–1 April 2015, Shenzhen, China, 1–4.
- Huertas, G.; Vazquez, D.; Peralias, E.; Rueda, A.; Huertas, J. Practical oscillation-based test of integrated filters. *IEEE Design & Test of Computers* 2002, 19, 64–72.
- Hwang, J., Lee, M., Jeong, C., & Yoo, C. Active-RC channel selection filter tunable from 6 kHz to 18 MHz for software-defined radio. *2005 IEEE International Symposium On Circuits And Systems*.
- IBM. 2003. Foundry technologies 180-nm CMOS, RF CMOS and SiGe BiCMOS.
- Inamori, M.; Bostamam, A.; Sanada, Y.; Minami, H. (2009). IQ imbalance compensation scheme in the presence of frequency offset and dynamic DC offset for a direct conversion receiver. *IEEE Transactions on Wireless Communications*, 8(5): 2214–2220.
- Yen, M.; Wu, C.; Chen, H. (2016). An automatic frequency tuning loop for the low pass filter of 400–800 MHz Spectrum sensing system. *2016 IEEE 5th Global Conference on Consumer Electronics*, 11–14 Oct. 2016, Kyoto, Japan, 1–2.
- Yin, Y.; Chi, B.; Yu, Q.; Liu, B.; Wang, Z. (2013). A 0.1–5GHz SDR transmitter with dual-mode power amplifier and digital-assisted I/Q imbalance calibration in 65nm CMOS. *2013 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, 11–13 Nov. 2013, Singapore, Singapore, 205–208.
- Yu, W.; Cheang, C.; Mak, P.; Cheng, W.; Un, K.; Lok, U.; Martins, R. (2013). A Nonrecursive Digital Calibration Technique for Joint Elimination of Transmitter and Receiver I/Q Imbalances With Minimized Add-On Hardware. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 60(8): 462–466.
- Yuan, C.; Zhao, Y.; Du, J., (2008). A BIST scheme for full characterization of ADC parameters in Mixed-Signal SoCs, 2008 9th International Conference on Solid-State and Integrated-Circuit Technology.
- Yu-Chih C.; Wei-Hao C.; Tsung-Hsien L. (2008). A 120-MHz active-RC filter with an agile frequency tuning scheme in 0.18 μm CMOS. *2008 IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT)*, 23–25 April 2008, Hsinchu, Taiwan, 208–211.
- Jacobus de Witt, J. (2011). Modelling, Estimation and Compensation of Imbalances in Quadrature Transceivers. Stellenbosch University, 60–63.
- Jeon, O.; Fox, R.; Myers, B. (2006). Analog AGC Circuitry for a CMOS WLAN Receiver. *IEEE Journal of Solid-State Circuits*, 41(10): 2291–2300.
- Jiang, C.; Xie, R.; Li, W.; Huang, Y.; Hong, Z. 2011. Reconfigurable low pass filter with Automatic Frequency Tuning for WCDMA and GSM application. ASIC (ASICON): 1066–1069.

Jiang, P.; Lu, Z.; Guan, R.; Zhou, J. (2013). All-Digital Adaptive Module for Automatic Background IIP2 Calibration in CMOS Downconverters With Fast Convergence. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 60(7): 427–431.

Jiang, W.; Agrawal, V., (2008). Built-in Self-Calibration of On-chip DAC and ADC. 2008 IEEE International Test Conference.

Jin, X., & Dai, F. (2012). A 6th order zero capacitor spread 1 MHz – 10 MHz tunable CMOS active-RC low pass filter with fast tuning scheme. *2012 IEEE International Symposium On Circuits And Systems*.

Jinup L.; Youngjoo C.; Kyungsoo J.; Jongmin P.; Joongho C.; Jaewhui K. (2005). A wide-band active-RC filter with a fast tuning scheme for wireless communication receivers. *Proceedings of the IEEE 2005 Custom Integrated Circuits Conference, 2005*, 21–21 Sept. 2005, San Jose, CA, USA, 637–640.

John, P. K.; Antony, R. P. (2017). BIST Architecture for Multiple RAMs in SoC. *7th International Conference on Advances in Computing & Communications, ICACC-2017*, 22–24 August 2017, Cochin, India. 159–165.

Jurgo, M.; Navickas, R. Structure of All-Digital Frequency Synthesiser for IoT and IoV Applications. *Electronics* 2018, 8, 1–16.

Kaczman, D.; Shah, M.; Alam, M.; Rachedine, M.; Cashen, D.; Han, L.; Raghavan, A. (2009). A Single-Chip 10-Band WCDMA/HSDPA 4-Band GSM/EDGE SAW-less CMOS Receiver With DigRF 3G Interface and +90 dBm IIP2. *IEEE Journal of Solid-State Circuits*, 44(3): 718–739.

Ken, X.; Min, C.; Xiaoyong, H.; Zhijian, C.; Weiguo, Z. (2015). An automatic DC-Offset cancellation method and circuit for RF transceivers. *2015 IEEE 11th International Conference on ASIC (ASICON)*, 3–6 Nov. 2015, Chengdu, China, 1–4.

Khade, R.; Chaudhari, D. OBIST methodology incorporating modified sensitivity of pulses for active analogue filter components. *International Journal of Electronics* 2017, 105, 457–472.

Khumsat, P., & Worapishet, A. (2012). A 0.5-V R-MOSFET-C Filter Design Using Subthreshold R-MOSFET Resistors and OTAs With Cross-Forward Common-Mode Cancellation Technique. *IEEE Journal Of Solid-State Circuits*, 47(11), 2751–2762.

Kiayani, A.; Anttila, L.; Zou, Y.; Valkama, M. (2012). Advanced Receiver Design for Mitigating Multiple RF Impairments in OFDM Systems: Algorithms and RF Measurements. *Journal of Electrical and Computer Engineering*, 2012: 1–16.

Kiela K., Jurgo M., Kladovščikov L. 2016. Integrinių analoginių filtrų grandynų derinimosi sistemos projektavimas, *Science – Future of Lithuania/Mokslas – Lietuvos ateitis* 8(3): 308–314.

Kiela, K. 2017. *Integrinių analoginių filtrų belaidžio ryšio sistemoms kūrimas: daktaro disertacija*. Vilniaus Gedimino technikos universitetas, Vilnius

Kiela, K., Jurgo, M., Navickas, R. (2017). Dual mode 4th order active-RC low-pass filter with tunable cut-off frequency from 3 MHz to 20 MHz in 65 nm CMOS. *Przegląd elektrotechniczny*, 1(1), 265–269.

Kiela, K.; Navickas, R. Active low-pass filter design with variable filter order for wide-band transceivers. 2015 3rd IEEE Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE), Riga, Latvia, 2015.

Kitsunezuka, M.; Tokairin, T.; Maeda, T.; Fukaishi, M. (2011). A Low-IF/Zero-IF Reconfigurable Analog Baseband IC With an I/Q Imbalance Cancellation Scheme. *IEEE Journal of Solid-State Circuits*, 46(3): 572–582.

Kladovščikov, L. 2015. Integriinių filtrų savaiminio derinimo sistemų kūrimas ir tyrimas: magistro tėzės, Vilniaus Gedimino technikos universitetas, Vilnius. 14–51.

Ko, Y.; Stapleton, S. (2011). Gain and phase mismatch effects on double image rejection transmitter. *IET Circuits, Devices & Systems*, 5(3): 212–221.

Lee, C.; Yang, T. (2006). A Tuning Technique for Bandwidth of Programmable Gain Filter. 2006 IEEE Asian Solid-State Circuits Conference.

Li, X.; Le Cui, X.; Wang, B.; Lee, C. (2012). A 100MHz PGA with DC offset cancellation for UWB receiver. *2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology*, 29 Oct. –1 Nov. 2012, Xi'an, China, 1–3.

Lim, J.; Cho, Y.; Jung, K.; Park, J.; Choi, J.; Kim, J. 2005. A wide-band active-RC filter with a fast tuning scheme for wireless communication receivers. Custom Integrated Circuits Conference: 637–640.

LitePoint. 2013. IEEE 802.11ac: What Does it Mean for Test?

Lopelli, E.; Spiridon, S.; van der Tang, J. (2011). A 40nm wideband direct-conversion transmitter with sub-sampling-based output power, LO feedthrough and I/Q imbalance calibration. *2011 IEEE International Solid-State Circuits Conference*, 20–24 Feb. 2011, San Francisco, CA, USA, 424–426.

Luo, J.; Kortke, A.; Keusgen, W. (2009). Joint calibration of frequency selective time variant I/Q-imbalance and modulator DC-offset error in broadband direct-conversion transmitters. *2009 International Conference on Communications, Circuits and Systems*, 23–25 July 2009, Milpitas, CA, USA, 255–259.

Macaitis, V.; Navickas, R. Design of High Frequency, Low Phase Noise LC Digitally Controlled Oscillator for 5G Intelligent Transport Systems. *Electronics* 2019, 8, 1–12.

Milić, M.; Litovski, V. Oscillation-based testing method for detecting switch faults in High-Q SC biquad filters. *Facta Universitatis Series Electronics and Energetics* 2015, 28, 223–236.

Mosin, S. An approach to design-for-testability automation of analogue integrated circuits using OBIST strategy. Proceedings of the 2016 5th Mediterranean Conference on Embedded Computing (MECO), Bar, Montenegro, 2016.

Mosin, S. (2010). Realization of a built-in self-test for integrated circuits based on reconfiguration. 2010 International Conference on Actual Problems of Electron Devices Engineering.

Oimins, X.; Xueqing, H.; Pens, G.; Jun, Y.; Shi, Y.; Dai, F.; Jaeser, R. (2006). A direct-conversion mixer with DC-offset cancellation for IEEE 802.11a WLAN receiver. 2006 *IEEE International Symposium on Circuits and Systems*, 21–24 May 2006, Island of Kos, Greece, 4.

Onabajo, M.; Silva-Martinez, J. 2012. Analog circuit design for process variation-resilient systems-on-a-chip. New York: Springer.

Oshima, T., Maio, K., Hioe, W., Shibahara, Y., & Doi, T. Automatic tuning of RC filters and fast automatic gain control for CMOS low-IF transceiver. *Proceedings Of The IEEE 2003 Custom Integrated Circuits Conference*, 2003.

Oshima, T.; Maio, K.; Hioe, W.; Shibahara, Y. (2004). Novel automatic tuning method of RC filters using a digital-DLL technique. *IEEE Journal of Solid-State Circuits*, 39(11): 2052–2054.

Palumbo, G., & Pennisi, M. (2008). Design guidelines for high-speed Transmission-gate latches: Analysis and comparison. 2008 *15Th IEEE International Conference On Electronics, Circuits And Systems*.

Pang, J.; Maki, S.; Kawai, S.; Nagashima, N.; Seo, Y.; Dome, M.; Kato, H.; Katsuragi, M.; Kimura, K.; Kondo, S.; Terashima, Y.; Liu, H.; Siriburanon, T.; Narayanan, A.; Fajri, N.; Kaneko, T.; Yoshioka, T.; Liu, B.; Wang, Y.; Wu, R.; Li, N.; Tokgoz, K.; Miyahara, M.; Okada, K.; Matsuzawa, A. (2017). 24.9 A 128-QAM 60 GHz CMOS transceiver for IEEE802.11ay with calibration of LO feedthrough and I/Q imbalance. 2017 *IEEE International Solid-State Circuits Conference (ISSCC)*, 5–9 Feb. 2017, San Francisco, CA, USA, 424–425.

Parssinen, A. 2011. Multimode-multiband transceivers for next generation of wireless communications, 2011 *Proceedings of the ESSCIRC (ESSCIRC)*: 25–36.

Pavan, S.; Tsividis, Y. An analytical solution for a class of oscillators, and its application to filter tuning. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications* 1998, 45, 547–556.

Pérez, J.; Calvo, B.; Celma, S. (2010). A High-Performance CMOS Feedforward AGC Circuit for a WLAN Receiver. *IEEE Transactions on Industrial Electronics*, 57(8): 2851–2857.

Razavi, B. (1997). Design considerations for direct-conversion receivers. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing* 44(6): 428–435.

Rodriguez, S.; Rusu, A.; Zheng, L.; Ismail, M. (2008). CMOS RF mixer with digitally enhanced IIP2. *Electronics Letters*, 44(2): 121.

Rohde & Schwarz. 2013. LTE System specifications and their impact on RF base band circuits.

Sadredini, E.; Najafi, M.; Fathy, M.; Navabi, Z. (2012). BILBO-friendly Hybrid BIST Architecture with Asymmetric Polynomial Reseeding. *The 16th CSI International Symposium on Computer Architecture and Digital Systems*, CADs 2012, 2–3 May 2012. 145–149.

Savadi Oskooei, M.; Masoumi, N.; Kamarei, M., (2007). A high-frequency very low-power low-pass filter with a wide bandwidth and gain tuning range. 2007 50th Midwest Symposium on Circuits and Systems.

Schmogrow, R., Nebendahl, B., & Winter, M. (2012). Error Vector Magnitude as a Performance Measure for Advanced Modulation Formats. *IEEE Photonics Technology Letters*, 24(1), 61–63.

Shuhei, Y.; Boric-Lubecke, O.; Lubecke, V. (2008). Cancellation techniques for LO leakage and Dc offset in direct conversion systems. *2008 IEEE MTT-S International Microwave Symposium Digest*, 15–20 June 2008, Atlanta, GA, USA, 1191–1194.

Song, Y.; Yu, X.; Jin, Z.; Chi, B. (2014). A 49-dB DR wide locking range hybrid AGC for an ISM-band receiver in 0.18 μm CMOS. *2014 IEEE International Symposium on Radio-Frequency Integration Technology*, 27–30 Aug. 2014, Hefei, China, 1–3.

Sun, Y., (2004). Editorial: Analogue and mixed-signal test for systems on chip. *IEE Proceedings - Circuits, Devices and Systems*, vol. 151, no. 4, p. 335.

Sunter, S.; Nagi, N. Test metrics for analog parametric faults. *Proceedings of the 17th IEEE VLSI Test Symposium*, Dana Point, USA, 1999.

Svitek, R.; Raman, S. (2005). DC offsets in direct-conversion receivers: characterization and implications. *IEEE Microwave Magazine* 6(3): 76–86.

Tan, J.; Wang, L.; Chen, D.; Zhou, J., (2010). A frequency auto-tuning complex filter with 48 dB gain tuning and 65 dB DC-offset rejection. 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology.

Tien-Yu, L.; Chi-Hsiang, L. (2014). 1-V 365uW 2.5 MHz Channel Selection Filter for 3G Wireless Receiver in 55 nm CMOS. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 22(5): 1164–1169.

Ting, H.; Chen, C. A VLSI On-Chip Analog High-Order Low-Pass Filter Performance Evaluation Strategy. *IEEE Transactions on Instrumentation and Measurement* 2018, 67, 621–633.

Vahidfar, M.; Shoaee, O. (2008). A High IIP2 Mixer Enhanced by a New Calibration Technique for Zero-IF Receivers. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 55(3): 219–223.

van Liempd, B.; Borremans, J.; Martens, E.; Cha, S.; Suys, H.; Verbruggen, B.; Craninckx, J. (2014). A 0.9 V 0.4–6 GHz Harmonic Recombination SDR Receiver in 28 nm CMOS With HR3/HR5 and IIP2 Calibration. *IEEE Journal of Solid-State Circuits*, 49(8): 1815–1826.

Vasjanov, A.; Barzdenas, V. A Methodology Improving Off-Chip, Lumped RF Impedance Matching Network Response Accuracy. *Electronics* 2018, 7, 1–15.

Vázquez, D.; Huertas, G.; Rueda, A.; Huertas, J. A Simple and Secure Start-Up Circuitry for Oscillation-Based-Test Application. *Analog Integrated Circuits and Signal Processing* 2002, 32, 187–190.

Voyiatzis, I.; Haniotakis, Th.; Efstathiou, C.; Antonopoulou, H. (2010). A concurrent BIST architecture based on Monitoring Square Windows. *5th International Conference on Design & Technology of Integrated Systems in Nanoscale Era*, 23–25 March 2010.

Wang, R.; Lin, M.; Wang, H.; Sun, S. (2016). A widely tunable active-RC complex filter for multi-mode wireless receivers with automatic frequency tuning. *IEICE Electronics Express*, 13(18): 1–11.

Wannaboon, C.; Jiteurtragool, N.; San-Um, W.; Tachibana, M. Phase difference analysis technique for parametric faults BIST in CMOS analog circuits. *IEICE Electronics Express* 2018, 15, 1–9.

Wong, M. On the issues of oscillation test methodology. *IEEE Transactions on Instrumentation and Measurement* 2000, 49, 240–245.

Xia, B., Yan, S., & Sanchez-Sinencio, E. (2004). An RC Time Constant Auto-Tuning Structure for High Linearity Continuous-Time $\Sigma\Delta$ Modulators and Active Filters. *IEEE Transactions On Circuits And Systems I: Regular Papers*, 51(11), 2179–2188.

Xiangning, F.; Da, C.; Yangyang, F. (2010). A switch controlled resistor based CMOS PGA with DC offset cancellation for WSN RF chip. *2010 International Symposium on Signals, Systems and Electronics*, 17–20 Sept. 2010, Nanjing, China, 1–4.

Xiangning, F.; Yutao, S.; Yangyang, F. (2010). A CMOS DC offset cancellation (DOC) circuit for PGA of low IF wireless receivers. *2010 International Symposium on Signals, Systems and Electronics*, 17–20 Sept. 2010, Nanjing, China, 1–4.

Xiaojie, C.; Min, L.; Zheng, G.; Yin, S.; Fa Foster, D. (2010). A CMOS programmable gain amplifier with a novel DC-offset cancellation technique. *IEEE Custom Integrated Circuits Conference 2010*, 19–22 Sept. 2010, San Jose, CA, USA, 1–4.

Xiaoman, W.; Baoyong, C.; Zhihua, W. (2010). A Low-Power High-Data-Rate ASK IF Receiver With a Digital-Control AGC Loop. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 57(8): 617–621.

Ximenes, A.; Swart, J. (2011). Analog automatic gain control (AGC) CMOS WLAN direct conversion receiver (DCR). *2011 SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC 2011)*, 29 Oct. –1 Nov. 2011, Natal, Brazil, 185–190.

Xu, Y.; Chi, B.; Yu, X.; Qi, N.; Chiang, P.; Wang, Z. (2012). Power-Scalable, Complex Bandpass/Low-Pass Filter With I/Q Imbalance Calibration for a Multimode GNSS Receiver. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 59(1): 30–34.

Xu, Y.; Qi, N.; Chen, Z.; Chi, B.; Wang, Z. (2012). A hybrid approach to I/Q imbalance self-calibration in reconfigurable low-IF receivers. *2012 IEEE International Symposium on Circuits and Systems*, 20–23 May 2012, Seoul, South Korea, 552–555.

Xu, Q.; Hu, X.; Jan, Y.; Shi, Y.; Dai, F.; Jaeger, R. (2007). A Direct-Conversion Mixer with a DC-offset Cancellation for WLAN. *2007 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, 30 Sept. –2 Oct. 2007, Boston, MA, USA.

Zarnik, M.; Novak, F.; Maček, S. Design of oscillation-based test structures for active RC filters. *IEE Proceedings - Circuits, Devices and Systems* 2000, 147, 297–302.

ZhenQi, Ch.; Dai, F. (2010). Effects of LO Phase and Amplitude Imbalances and Phase Noise on M-QAM Transceiver Performance. *IEEE Transactions On Industrial Electronics*, 57(5), 1505–1517.

Ziomek, C. D.; Hunter M. T. (2012). *Extending the Useable Range of Error Vector Magnitude (EVM) Testing*. ZTEC Instruments, Inc. Albuquerque, New Mexico, USA.

Autoriaus mokslinių publikacijų disertacijos tema sąrašas

Straipsniai recenzuojamuose mokslo žurnaluose

Kladovščikov L., Navickas R., Kiela K. 2019. Self-Tuning System for Multistandard Active RC filters. *Microelectronics Journal*, 90:260–266. ISSN: 0026-2692. Clarivate Analytics Web of Science. Citav. rod.: 1,405.

Kladovščikov L., Jurgo M., Navickas R. 2019. Design of Oscillation-Based BIST System for Active Analog Integrated Filters in 0.18 μm CMOS. *Electronics, Basel: MDPI*, 8(7): 1–19. ISSN 2079-9292. Clarivate Analytics Web of Science. Citav. rod.: 2,412.

Kiela K., Barzdėnas V., Jurgo M., Mačaitis V., Rafanavičius J., Vasjanov A., Kladovščikov L., Navickas R. 2020. Review of V2X-IoT standards and frameworks for ITS applications : review. *Applied sciences. Basel: MDPI*, 10(12):1–23. ISSN 2076-3417. Clarivate Analytics Web of Science. Citav. rod.: 2,474.

Kladovščikov L., Navickas R. 2018. Belaidžio ryšio siųstuvų-imtuvų saviderinimo būdų analizė. *Mokslas – Lietuvos ateitis: Elektronika ir elektrotechnika/Science – future of Lithuania: Electronics and electrical engineering* 10: 1–11. ISSN 2029-2341. eISSN 2029-2252.

Kladovščikov L., Navickas R. Integrinųjų analoginių filtrų perjungiamųjų rezistorių matricos projektavimas ir tyrimas. *Mokslas – Lietuvos ateitis: Elektronika ir elektrotechnika/Science – future of Lithuania: Electronics and electrical engineering* 12: 1–7. ISSN 2029-2341. eISSN 2029-2252.

Straipsniai kituose leidiniuose

Kladovščikov L. Navickas R. 2017. Review of Self Tuning Methods for Direct Conversion Transceivers. *2017 Open conference of Electrical, Electronic and Information Sciences (eStream): proceedings of the conference* 1–6. ISBN 9781538639993, eISBN 9781538639986.

Kladovščikov L. Navickas R. 2017. Design of self-test and self-calibration systems for analog active RC filters. *The 5th IEEE Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE'2017)* 1–4. ISBN 9781538641378, eISBN 9781538641385.

Kladovščikov L. Navickas R. 2020. Investigation of feedback circuit for oscillation-based self-testing system. *The 7th IEEE Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE'2019)* 1–4. ISBN 9781728167312, eISBN 9781728167305.

Kladovščikov L. Navickas R. 2020. Application of oscillation-based self-testing systems for higher order active RC low-pass filters. *43rd International Conference on Telecommunications and Signal Processing (TSP)* 1–4. ISBN 9781728163772, eISBN 9781728163765.

Summary in English

Introduction

Problem formulation

Recently, with the rapid development of CMOS integrated circuit manufacturing technology, more and more systems are being integrated into a single chip. As the degree of chip integration, its area, and the number of systems that make it up to increase, the discontinuities in manufacturing technology increase the likelihood of producing systems with unacceptable parameter deviations and / or catastrophic defects when circuits are broken or shortened.

Testing of manufactured integrated chips increases the total implementation time of new systems - in order to test the chip, the optimal number of circuit points and tests is selected, which often reaches hundreds and thousands. Testing of large integrated systems is, as a rule, carried out using automated test equipment, but the application time on the test can be from tens of minutes to several hours. This significantly increases the time and financial costs in series or mass production.

One of the alternatives to reduce the output of good chips, systems, is to further adjust the parameters of the chip systems to the required accuracy after they are manufactured. Thus, chip circuits must be able to change the values of their components, as well as have (create or rent) the necessary additional hardware. This means that by further testing or debugging integrated circuits, maintaining or renting such equipment increases the overall cost of the chip, which is also an economic problem.

For this reason, the problem addressed in the dissertation is the self-testing and self-tuning of the parameters of multistandard transceiver units with the required accuracy, and the development of new design methods for such devices. The problem also raises the hypothesis that by integrating the self-testing and self-tuning circuits into one chip, it is possible to test the compliance of DSI parameters with the requirements and match them to the required values if the parameters of the manufactured chip do not meet the requirements.

Relevance of the Thesis

With the spread of wireless devices (cell phones, tablets, laptops, etc.), its employment in everyday use is priority field of research in the programs of European Nanoelectronics ENIAC, Embedded networks ARTEMIS, Smart System Integration EPoSS technological platform, as well as Lithuanian association of Electronics and Nanoelectronics. Moreover, VGTU, faculty of electronics, laboratory of micro- and nanoelectronics systems set the priority task in this field.

With the development of 5G network, the support of earlier data communication standards is still in need – from the first generation of cellular (1G) up to fourth (4G), as well as local networks, such as WiMAX, Wi-Fi (802.11n, 802.11ac, future 802.11ax).

In addition, in order to increase the production yield of integrated chips, self-tuning systems of the blocks forming these chips are designed and improved, which allow to adapt the already manufactured integrated chip to the requirements of the used wireless communication technologies.

Prior to the dissertation, the known self-testing and self-tuning systems of integrated analog devices used in modern transceivers have not been sufficiently studied, the different testing and tuning methods and models of such systems are little described, therefore the research is relevant.

The Object of the Research

The object of research – built-in self-test and self-tuning system, their integrated circuits and design methodology for a wireless transceiver in 0.18 μm CMOS technology.

The Aim of the Thesis

The aim of this work is to develop and investigate new methods of self-testing and self-tuning, capable of detecting different types of errors, to harmonize several circuit parameters with the required accuracy.

The Tasks of the Thesis

To achieve the aim of the thesis, following tasks have been solved:

1. Investigate the structure of self-testing and self-tuning systems used in modern transceivers and design a structure suitable for implementation using submicron CMOS technologies.
2. To create and investigate models of blocks, used in built-in self-test systems for wireless transceivers.

3. To create and investigate design methodology and models of blocks, used in self-tuning systems for wireless transceivers.

Research Methodology

Analytical, mathematical and computer simulation methods for self-test and self-tuning integrated circuit models were applied. 0.18 μm CMOS technology was used for the research of integrated circuits of built-in self-test and self-tuning systems for active RC low-pass filters. During the investigation of blocks of the proposed integrated circuits of the self-test and self-tuning systems computer simulation using Cadence software package was carried out.

Scientific Novelty of the Thesis

Significant results for the science of electrical and electronic engineering, which were achieved in preparation of the thesis, are as follows::

1. A self-testing circuit of integrated analog active RC filters and its model have been developed, which allows to detect manufacturing defects and determine deviations of technological parameters with the required accuracy.
2. Oscillation-based built-in self-test system is employed with high-gain inverter in the feedback circuit, which increases fault detectability of circuit-under-test by reduced uncertainty of testing system.
3. A new method of self-tuning of integrated active RC filters has been proposed, which allows to adjust the amplification and phase of the output signal with the required accuracy, thus compensating for the influence of environmental and technological parameters on the operation of the integrated active RC filter.
4. The R-2R ladder based resistor matrix, for active RC filters' tuning, design method, where ambient temperature, a span of CMOS passive components' variations and required accuracy are taken into account, was proposed.

Practical Value of the Research Findings

Results achieved during the research were used to design blocks of built-in self-testing and self-tuning systems for active RC low-pass filters in 0.18 μm submicron CMOS integrated circuit technology. Designed models and blocks of self-testing and self-tuning systems for active RC low pass filters can be applied for the development of multistandard multiband wireless transceivers, using 0.2–60 MHz intermediate frequency band, application based circuits, military, industrial and healthcare market fields

Research results were used in:

- Scientific work “Design and Research a Model of Internet of Things Framework and Tools for Intelligent Transport Systems” (No. 16949, 2018).

The Defended Statements

1. Oscillation-based self-test method for active RC low pass filters, implemented in 0.18 μm CMOS technology node, can detect variations of passive components' values not exceeding 0.7% and 97% of all injected critical errors in the circuit.
2. Proposed novel active RC low pass filter tuning system which can be used in quadrature channels of transceivers for both phase and amplitude tuning, reach up to 0.2–0.5% tuning accuracy with reference clock 10 MHz. The tuning span is $\pm 30\%$.
3. Proposed ladder-based discretely-controlled tuning resistor matrix, designed in 0.18 μm CMOS technology, reduces occupied chip area up to 7.7 times compared to parallel resistor matrix, while maintaining the same tuning step for tuning word size 10 bit.
4. Transmission gates, used as control devices of tuning matrix, reduces resistance setting uncertainty up to 4.8 times compared to other tuning matrix structures, while maintaining same tuning step for tuning word size 8 bit.

Approval of the Research Findings

Nine articles are published on the subject of dissertation: three – in scientific journals included in Clarivate Analytics Web of Science database (Kladovscikov, Navickas, Kiela 2019; Kladovscikov, Jurgo, Navickas 2019; Kiela, Barzdenas, Jurgo, Macaitis, Rafanavičius, Vasjanov, Kladovscikov, Navickas 2020), four – in international conference publications which are referred by Clarivate Analytics Web of Science database Proceedings (Kladovscikov, Navickas 2017; Kladovscikov, Navickas 2017; Kladovscikov, Navickas 2019; Kladovscikov, Navickas 2020), two – in a scientific journal listed in other international databases (Kladovscikov, Navickas 2018; Kladovscikov, Navickas 2020).

Research results on the subject of dissertation have been announced in twelve scientific conferences in Lithuania and abroad:

- 20th Conference for Young Researchers “Science – future of Lithuania”. Vilnius, Lithuania, 17–18 March 2017.
- IEEE International Conference “Electrical, Electronic and Information Sciences 2017”. Lietuva, Vilnius, 2017 April 27–28.
- IEEE 5th Workshop on „Advances in Information, Electronic and Electrical Engineering“. Latvija, Ryga, 2017 November 24–25.
- IEEE 18th Lithuania-Belarus Workshop „Advanced microwave devices and systems“. Lietuva, Vilnius, 2017 m. December 8–9.
- 21st Conference for Young Researchers “Science – future of Lithuania”. Vilnius, Lithuania, 16 March 2018. 22nd Conference for Young Researchers “Science – future of Lithuania”. Vilnius, Lithuania, 15–16 March 2019.
- IEEE 7th Workshop on „Advances in Information, Electronic and Electrical Engineering“. Latvija, Liepaja, 2019 November 15–16.

Structure of the Dissertation

The dissertation consists of introduction, four chapters, general conclusions, lists of references and author's publications on the subject of dissertation, summary in English and 3 annexes.

The total scope of dissertation – 119 pages (without annexes), 35 indexed equations, 62 pictures, 9 tables, and 129 references have been used.

1. Analysis of Self-testing and Self-tuning Systems of Wireless Transceivers

Advances in nanoscale CMOS technologies introduce both new possibilities and challenges. With increasing integration density of circuits, testing routines for more analog or mixed-signal systems are required. Post fabrication test routines are time and cost demanding; moreover, often it is not possible to test all of a system's sub circuits. Due to these reasons, built-in self-test (BIST) systems are being implemented in chips. While BIST systems for digital circuits are successfully implemented and used, for analog or mixed-signal circuits, such systems have not been sufficiently investigated.

Self-test systems are used as a substitute for self-tuning systems, which requires a large chip area for tuning elements – resistor or capacitor banks as well as tuning circuits. In case of a limited chip area, BIST systems are widely used and provide sufficient data for deciding on chip manufacturing faults. Such systems are used only to monitor any catastrophic or parametric fault, which emerge during CMOS fabrication. Catastrophic faults are all short-circuit and open-circuit faults and these faults cover 80–90 % of all faults of CMOS processes. Such faults most often can be easily detected and located.

Parametric faults in components are more challenging to detect. Such faults cover variations of values of passive components and parameters of transistors, such as gate oxide thickness, doping, mask misalignment. These faults are detectable using complex testing systems with pre-defined test signal stimulus measuring and analyzing the response of CUT. Complex testing systems have limited implementation ability in very large-scale integration (VLSI) circuits, due to the large number of circuits to be tested and limited free chip area for test systems.

Another approach for testing parametric faults in analog or mixed circuits are oscillation-based BIST systems. The main idea for oscillation-based testing is to convert CUT to an oscillator, whose frequency of oscillation is known. Due to variations of parameters in both CMOS passive and active components, the frequency of oscillation of CUT also varies. Variation of oscillation frequency is not directly related to a change of parameters of a circuit which is used as a CUT, but it shows adequate indication of any variations, based on which test results are selected. In other works, the oscillation based built-in self-test (OBIST) method has been implemented in low operating frequency filters, tested on discrete boards, thus implementation in CMOS technology has not been analyzed. In other studies, the proposed test method has been implemented in CMOS technology and investigated on feedback circuit impedance matching, but investigation on different structures of filters and natural, non-pre-tuned fault estimation systems, is limited. It is also common to use fault tables for pre-simulated systems, but this approach is not suitable when CUT

is composed of large number of components or when there is a need for universal and easy implementation in different structure testing systems.

One of the most severe problems in direct conversion receiver is sensitivity to DC offsets. DC offsets mainly arise from LO leakage or interference leakage. The insulation between the LO port and inputs of mixer and LNA is not infinite. This means that there exists finite amount of feed through from LO to input of the LNA and RF port of the mixer. If the LO signal leaks to LNA, it is mixed with “real” LO signal and it produces a DC component. Similarly, if interference signal leaks from the LNA to LO port, it is multiplied by itself and also produce DC component. Similar, as in receiver, the transmitter also suffers from LO leakage. In order to eliminate DC offset, a bypass circuit is connected to RF port. Bypass circuit delivers the same signal amplitude as a leakage signal, but its phase is shifted 180° .

An ideal I/Q transceiver, consists of I and Q branches, which analog circuits are the same. However, in practice, due to IC manufacturing tolerances, it is not possible to perfectly balance I and Q branches. Moreover, analog components are affected by temperature variation, aging, etc. I/Q imbalance is mainly caused by the modulators, since I and Q branches have equal gain and 90° phase difference. However, other components – DACs or ADCs, filters and mixers also contribute in general to the imbalance effects.

I/Q imbalance calibration methods are off-line and on-line. The I/Q imbalance causes noise between mirror signals, thus dynamic range of transceiver degrades. Suppression of the image signal is specified as the image rejection ratio (IRR).

Although the direct conversion receiver architecture is commonly used nowadays due to high integration level, low cost and simplicity, it has several issues, including second-order intermodulation (IM2) and third-order intermodulation (IM3). The most dominant source of IM2 is the down-conversion mixer. Balanced circuits with differential input and output, also symmetric layout is used to minimize the even-order distortion effects, but any mismatches in LO, like duty cycle and gain, make the differential circuit unbalanced and increases even-order distortion. As every cellular system has IIP2 requirements, receiver must meet them.

The accuracy of passband cut-off frequency is crucial in wireless applications. Active RC filters suffers from the RC time constant deviation with respect to processes, temperature and power supply voltage. There are 3 main auto-tuning methods used for filter tuning: direct, indirect and using two identical filters.

The direct auto-tuning method works in offline mode – filter is disconnected from data transmission branch and connects to the calibration system. This type of tuning method uses less IC area than other approaches, but since during filter calibration state transceiver cannot send or receive data, this approach is rarely used.

An auto-tuning system with two identical filters works in online mode – one filter is used for data transmission, while other is being calibrated. This type of tuning method is more likely to use more of IC area, since active RC filters more often are 4–6th order. Such order filter, depending on the used filter architecture, employs many components, and since tuning method uses two identical filters, overall number of the components is twice as large.

2. Models of Self-testing and Self-tuning Systems for Integrated Analog Filters

The oscillation-based BIST method is based on splitting complex mixed signal or analog circuit into smaller functional blocks—operational amplifier, comparator, phase detector, Schmitt trigger, first or second-order filter. Then, the functional block (Fig. S2.1a) is converted into a robust oscillator by connecting additional feedback circuit, as shown in Fig. S2.1b. Oscillation based test system separates operation of functional blocks into two modes—operational and test. During operational mode, the functional block operates as it is designed, while during the test mode, both the input and output of the functional block are disconnected from the main circuit and the corresponding feedback circuit is connected. The oscillation frequency f_{osc} of the CUT can be expressed as a function of its components. In the case of BIST, for functional blocks, which are designed to oscillate, such as Schmitt, voltage or digital controlled oscillators, additional circuitry for tests is not needed.

Fig. S2.1. Basic diagram of the functional block: a) during normal operation; b) converted into an oscillator

During test mode, any catastrophic faults, such as opens and shorts, or parametric faults, such as variations of component parameters due to CMOS process variations affect f_{osc} . In case of catastrophic faults, the oscillation frequency most commonly varies in a wide range, or the circuit does not oscillate at all and such behavior can be detected easily. In the case of parametric faults, the oscillation frequency varies in a narrow range, thus detectability of such faults is limited by the fault estimation system and variations of the test-enabling circuit. For such situations, assisted OBIST systems with current measurement block can be used.

A fault detectability is defined as the sensitivity of oscillation frequency to variations of the component. To increase the detectability of catastrophic faults, the sensitivity of CUT oscillation frequency could be increased by manipulating one of component's value. Manipulations of parameters in CUT means change of the initial circuit of the tested device, which can lead to non-guaranteed reliability of test results for the designed parameters. The more practical way to increase the detectability of faults is to use suitable variation-tolerant fault detection system, which should be versatile for use with different CUTs. Moreover, such systems are suitable for easy implementation in different CMOS technology nodes. It is also possible to derive more than one oscillator from same CUT (e.g., by

using more than one feedback circuit) to increase fault coverage if a fault exists in the feedback circuitry.

The main approach for converting active analog filters to oscillators is to position poles in the imaginary axis of s -plane. One way to maintain stable oscillations at the output of the filter is to make the quality factor of the filter high enough by disconnecting corresponding component of the filter, which is used to define quality factor of the filter but does not affect other parameters – frequency and gain of the tested filter. The main drawback of such approach is that it does not cover all possible faults of the circuit – quality factor defining component is not tested, which can lead to a false positive outcome of the test procedure. Moreover, not all filter structures are suitable for the independent change of the quality factor by using only one component.

In our study, second-order Sallen-Key, Akerberg-Mossberg and Tow-Thomas biquad low-pass filters were used as CUT. The feedback circuit was implemented by using transmission gates and an inverter. Figure S2.2 shows a block diagram of the used CUT with a control and an estimation logic block. During the normal operation mode, the feedback circuit is disconnected from the CUT by using the transmission gates and the CUT nodes are connected to the main system. During the test mode, the CUT nodes are disconnected from the main system and the transmission gates are switched into open state, thus connecting the feedback element between the input and the output of the filter. It needs to be mentioned that transmission gates add resistance and capacitance to the feedback circuit, which affect the CUT oscillation frequency and must be optimized in regards to resistance and capacitance of transistor channel, as well as overall chip area.

Fig. S2.2. Circuit diagram of the proposed oscillation based built in self test system structure

As a reference clock for the OBIST system, either an internal Schmitt trigger or external reference oscillator, such as PLL or off-chip oscillator, can be used. A Schmitt internal reference oscillator is mainly used in case of detecting catastrophic faults because its oscillation frequency depends on variations of passive components, which are both used in CUT and reference oscillator. The main drawback of the usage of the internal reference oscillator is limited usability in the detection of parametric faults, since the oscillation frequency of both the CUT and the reference oscillator varies and the probability of a false-positive result increases. In case of the external reference clock, the limits of the parametric fault tolerance are decreased since the reference oscillator is not affected by the component variations and the estimation of errors in the CUT mainly depend only on variations of the feedback circuit and the estimation block.

3. Design and Investigation of Self-Testing System for Integrated Filters

To ensure the reliability of the self-test system, the influence of the test circuit on the frequency of the generated signals, detection of critical defects and detection of parametric defects is performed. The self-testing system used uses a high-gain inverter and toggle keys. The main parameters to be checked are: the resistance of the switching resistors depending on the width of the transistors used, the frequency of the signals generated by the functional block depending on the width of the inverter transistors, the frequency of the signals generated by the functional block depending on the width of the switching transistors. Also, the influence of the inverter transistor width on the frequency variations of the generated signals is determined. During the research, the channel length of NMOP and PMOP transistors was determined to be $L = 180$ nm, NMOP transistor width $W_{NMOP} = 250$ nm, PMOP transistor width $W_{PMOP} = 500$ nm. The size of the transistors is changed by increasing the number of parallel transistors M .

Fig. S3.1. Layout of Akerberg-Mossberg low pass filter with self-test system

A self-testing system with a number of segments $n = k = 10$ occupies 0.0096 mm^2 of chip area using 0.18 CMOS production technology. Different low pass filter structures are used to verify the designed system. The increase in floor area compared to individual filters is $+160\%$ for the Sallen-Key filter and $+96\%$ for the Akerberg-Mossberg and Tow-Thomas filters. The increase in power consumption was $+48\%$ for the Sallen-Key structure, $+45\%$ for the Akerberg-Mossberg structure (Figure S3.1), $+46\%$ for the Tow-Thomas structure, but since the self-test system is used only once or at short intervals, to check only the manufactured chip or to periodically determine the effect of chip aging on the filter parameters, the power increase does not significantly affect the total system power consumption.

Fig. S3.2. Dependency of the CUT's oscillation frequency on the size of the transmission gate and inverter: a) Sallen-Key; b) Akerberg-Mossberg; c) Tow-Thomas

Fig. S3.3. Variations of the dependency of the maximum CUT oscillation frequency on the size of the feedback inverter, when $MT_G = 16$: (a) Sallen-Key; (b) Akerberg-Mossberg; (c) Tow-Thomas

Fig. S3.2 shows the dependency of the CUT's oscillation frequency on the transistor's size of transmission gate and inverter in the case of Sallen-Key (Fig. S3.2a), Akerberg-Mossberg (Fig. S3.2b) and Tow-Thomas (Fig. S3.2c) filters. It can be seen, in the case of Sallen-Key LPF, when the size of the inverter was minimal ($M_{IV} = 1$) and the size of the transmission gates was $M_{TG} = 18$, CUT's oscillation frequency was at a minimum and equal to 18.27 MHz, while the maximum oscillation frequency was observed when $M_{IV} = M_{TG} = 100$ and was equal to 37.85 MHz. In the case of the Akerberg-Mossberg filter, the minimum oscillation frequency was observed when $M_{IV} = 6$, $M_{TG} = 44$ and was equal to 26.17 MHz, while in the case of the Tow-Thomas filter, the minimum oscillation frequency was 28.32 MHz when $M_{IV} = 4$, $M_{TG} = 76$. The maximum oscillation frequency

of the Akerberg-Mossberg and Tow-Thomas filters occurred when $M_{IV} = 12$, $M_{TG} = 6$ and was equal to 28.57 MHz and 27.18 MHz respectively. Further increases of the transmission gate and inverter size decreased the oscillation frequency linearly since the CUT load increased.

Fig. S3.3 shows CUT's oscillation frequency and variations of the oscillation frequency using different sizes of the transmission gate, when the size of the inverter was $M_{IV} = 28$. Monte Carlo simulations were repeated by changing the size of the feedback inverter from $M_{TG} = 2$ to $M_{TG} = 100$. It can be seen that the variations of oscillation frequency were lowest when the size of the transmission gates was $M_{TG} = 16$ – it ranged from 0.08% in the case of Akerberg-Mossberg (Fig. S3.3b) and Tow-Thomas (Figure S3.3c) LPF to 0.13% in the case of Sallen-Key (Fig S3.3a) LPF. Further increases to the size of the inverter or transmission gate did not reduce the variations of the CUT's oscillation frequency. Thus, the size of the inverter equal to $M_{IV} = 28$ and the size of the transmission gate equal to $M_{TG} = 16$ was the optimum point in regard to used chip area and frequency variations.

4. Design and Investigation of Self-Tuning System for Integrated Filters

Self-tuning systems for analog LPFs compensate PVT induced variations of a passive components, such as resistors and/or capacitors, parameters. There is a range of various self-tuning systems designs, based on different workflow. One way of reducing variations of manufactured components is by use of self-formation processes, which are specific and are suitable only for certain CMOS fabrication processes. In this work, a Master-Slave concept, delay-locked loop (DLL) self-tuning system employed with Up-Down Counter for precise tuning is presented (Fig. S4.1). In this structure, the Master filter is used as first-order tuning LPF, while Slave filter is the main filter, which parameters are tuned.

Fig. S4.1. Structure of active-RC filter self-tuning circuit

Active-RC LPF self-tuning system consists of a signal forming circuit, advanced tuning circuit, comparator, D-type latch and Control logic. Signal forming circuit divides reference frequency by a factor of 4 and 8, and also forms latch control signal. Advanced tuning circuit consists of parallel-connected tuning filter and tuning voltage divider. Both

tuning filter and tuning voltage divider suit as reference tuning points for main filter tuning. A first-order LPF is used as a reference tuning structure. It is assumed that the reference filter tracks PVT and IC passive component variations in the same manner as the main LPF if both filters are positioned in close proximity to one another. Advanced tuning circuit consists of tuning filter and tuning voltage divider. Tuning filter consists of digitally controllable resistors bank and reference capacitor (Fig. S4.2). The inverter is used for fast reference capacitor C_{ref} discharge, thus decreasing minimum tuning step time. Respectively, tuning voltage divider consists of digitally controllable resistor bank and dividing resistor bank R_{CF} (Fig. S4.3). Both tuning filter and tuning voltage divider are connected in parallel, but only one is used at a time.

Fig. S4.2. Tuning filter circuit

Fig. S4.3. Tuning voltage divider circuit

Both tuning circuits are controlled with digitally controllable parallel-connected resistor banks (DCPRB) (Fig. S4.4). Parallel-connected resistors banks, unlike series-connected resistors banks, are more suitable for precise tuning systems, since overall bank resistance error due to non-zero channel resistance of controlling transistors and uncertainty of tuning system decreases.

Fig. S4.4. Digitally controllable resistors bank

In this work, the design sequence of DCPRB is proposed. DCPRB is divided to n -bit binary weighted resistor array as follows:

$$R = \frac{1}{\frac{1}{R_{\text{fix}}} + d_{n-1} \frac{1}{2^{n-1} R_0 + R_{\text{MOS}}} + \dots + d_1 \frac{1}{2^1 R_0 + R_{\text{MOS}}} + d_0 \frac{1}{R_0 + R_{\text{MOS}}}}, \quad (\text{S4.1})$$

where R_{fix} – fixed parallel resistor value, R_0 – LSB resistor value, R_{MOS} – resistance of transistor channel.

For long channel transistors, the resistance of transistor channel is calculated from (S4.2)

$$R_{\text{MOS}} = \frac{L}{\mu_n C_{\text{ox}} W \left(V_{\text{GS}} - V_{\text{T}} - \frac{V_{\text{DS}}}{2} \right)}. \quad (\text{S4.2})$$

It is seen, that resistance of MOS transistor channel is dependent on width and length of the gate. Since MOSFET transistors are used to digitally control resistor matrix, their width should be increased (channel resistance decreased) to a point, where parasitic junction capacitance starts to affect the frequency response of LPF. Fixed value resistor defines the lowest point of tuning:

$$R_{\text{fix}} = R_{\text{RC}} \left(1 + \frac{\Delta\omega}{100} \right), \quad (\text{S4.3})$$

where R_{RC} – wanted LPF resistor value, $\Delta\omega$ – cut-off frequency tuning range in percent.

LSB resistor value is calculated:

$$R_0 = \frac{R_{\text{fix}} R_{\text{min}}}{R_{\text{fix}} - R_{\text{min}}} (2^n - 1) - R_{\text{MOS}}. \quad (\text{S4.4})$$

Remaining resistors' values are calculated:

$$R_{[n:1]} = \frac{R_0 + R_{\text{MOS}}}{2^n}. \quad (\text{S4.5})$$

Minimum resistance of resistors bank is:

$$R_{\text{min}} = R_{\text{RC}} \left(1 - \frac{\Delta\omega}{100} \right). \quad (\text{S4.6})$$

Size of resistors bank (required number of resistors), as per the required tuning step and tuning range, is calculated:

$$n = \text{Round} \left[\log_2 \left(\frac{10000}{100\delta - \Delta\omega\delta} + 1 \right) \right], \quad (\text{S4.7})$$

where δ – desired tuning step in percent.

Fig. S3.5. Proposed delay-locked loop self-tuning system algorithm

Fig. S3.6. Time diagram of first sequence of low pass filter tuning

Proposed self-tuning system work-flow algorithm is presented in Fig. S4.5. First, the cut-off frequency is tuned. After every tuning cycle, delay of reference LPF is compared with reference signal delay and depending on outcome control logic switches resistors in resistors banks. As LPF cut-off frequency is tuned, second tuning step is done. LPF gain is tuned by comparing output voltage of voltage divider, which consists of pre-tuned cut-off frequency resistors bank and gain tuning resistors bank, and reference voltage. Since same control logic tunes both cut-off frequency and gain, work-flow is same.

First tuning sequence for both cut-off frequency and gain tuning is shown in Fig. S4.6. It is seen that LPF tuning starts from cut-off frequency tuning and is carried out until control counter overflows. Next, LPF output signal gain is tuned, comparing reference voltage with the voltage divider, formed from both gain tuning resistors bank and pre-tuned frequency tuning resistors bank.

General Conclusions

1. A self-testing system for analog active RC filters and its design methodology have been developed and investigated, which allows to calculate the parameters of the self-testing system blocks, evaluating the parametric and catastrophic errors that have occurred in the manufactured integrated chip.
2. An optimized structure of the resistor matching resistor matrix and its design methodology have been developed, which evaluates the influence of manufacturing technology discontinuities and ambient temperature fluctuations on the determination of the required integrated filter parameters.
3. The structure of the indirect tuning circuit of the indirect tuning delay and division loop for the tuning of the integrated active filter parameters, signal phase and gain, has been developed and investigated. The proposed structure estimates the cut-off frequency and gain of the output signal needed to calculate the amplitude of the quality vector. The self-tuning circuit uses two inverse counters to sequentially match both parameters.
4. A self-testing system of transceivers based on signal generation, designed in 0.18 μm CMOS technology and used to test integrated filters, detects up to 97% of all catastrophic errors embedded in the circuit under test and allows detection of 0.7% variations in the parameters of passive components.
5. A resistor ladder-based discrete-controlled array structure of switching resistors, designed in 0.18 μm CMOS technology, with a 40% tuning range, a 0.5% tuning step and with a matrix size of 10 columns requires 7.7 times lower resistor value of the resistors forming the array while maintaining an inferior resistance setting uncertainty compared to a parallel-connected resistor matrix structure.
6. The use of transmission gates for the control of switchable resistor arrays, designed in 0.18 μm CMOS technology, with a matrix size of 8 columns and a nominal resistance of 10 k Ω allows to reduce the resistance setting uncertainty by 4.8 times compared to NMOS switches.

Priedai³

A priedas. Disertacijos autoriaus sąžiningumo deklaracija

B priedas. Bendraautorių sutikimai teikti publikacijose skelbtą medžiagą daktaro disertacijoje

C priedas. Autoriaus mokslinių publikacijų disertacijos tema kopijos

³ Priedai pateikiami pridėtoje kompaktinėje plokštelėje.

Leonid KLADOVŠČIKOV

BELAUDŽIO RYŠIO SIŲSTUVŲ-IMTUVŲ FILTRŲ
SAVITESTAVIMO IR AUTOKALIBRAVIMO
METODŲ SUKŪRIMAS IR TYRIMAS

Daktaro disertacija

Technologijos mokslai,
elektros ir elektronikos inžinerija (T 001)

DEVELOPMENT AND INVESTIGATION OF
SELF-TESTING AND SELF-CALIBRATION
METHODS FOR WIRELESS TRANSCEIVERS FILTERS

Doctoral Dissertation

Technological Sciences,
Electrical and Electronic Engineering (T 001)

2020 11 16. 11,5 sp. l. Tiražas 20 egz.
Leidinio el. versija <https://doi.org/10.20334/2020-041-M>
Vilniaus Gedimino technikos universitetas
Saulėtekio al. 11, 10223 Vilnius,
Spausdino BĮ UAB „Baltijos kopija“
Kareivių g. 13B, 09109 Vilnius